

日本国特許庁
JAPAN PATENT OFFICE

EPUS-3310

hw.

Jc872 U.S. PRO

09/977338



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 3月30日

出願番号

Application Number:

特願2001-098350

出願人

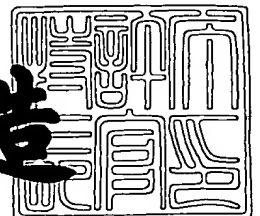
Applicant(s):

セイコーエプソン株式会社

2001年 8月 3日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3068832

【書類名】 特許願

【整理番号】 EP-0304401

【提出日】 平成13年 3月30日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 神原 義幸

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

 【出願番号】 特願2000-319722

【出願日】 平成12年10月19日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 サンプリングクロック生成回路、データ転送制御装置及び電子機器

【特許請求の範囲】

【請求項 1】 データをサンプリングするためのクロックを生成するサンプリングクロック生成回路であって、

周波数が同一で位相が互いに異なる第 1 ～第 N のクロックのエッジの中のいずれのエッジ間にデータのエッジがあるかを検出するエッジ検出手段と、

前記エッジ検出手段でのエッジ検出情報に基づいて、前記第 1 ～第 N のクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力するクロック選択手段と、

を含むことを特徴とするサンプリングクロック生成回路。

【請求項 2】 請求項 1 において、

前記エッジ検出手段が、

データを第 1 のクロックで保持する第 1 の保持手段と・・・データを第 J ($1 < J < N$) のクロックで保持する第 J の保持手段と・・・データを第 N のクロックで保持する第 N の保持手段と、

第 1、第 2 の保持手段に保持されたデータに基づいて、第 1、第 2 のクロックのエッジ間にデータのエッジがあるか否かを検出する第 1 の検出手段と・・・第 J、第 J + 1 の保持手段に保持されたデータに基づいて、第 J、第 J + 1 のクロックのエッジ間にデータのエッジがあるか否かを検出する第 J の検出手段と・・・第 N、第 1 の保持手段に保持されたデータに基づいて、第 N、第 1 のクロックのエッジ間にデータのエッジがあるか否かを検出する第 N の検出手段とを含み、

前記クロック選択手段が、

前記第 1 ～第 N の検出手段でのエッジ検出情報に基づいて、前記第 1 ～第 N のクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力することを特徴とするサンプリングクロック生成回路。

【請求項 3】 請求項 2 において、

前記第 1 ～第 N の保持手段のセットアップタイムを T_S 、ホールドタイムを T_H 、第 1 ～第 N のクロックの周期を T とした場合に、第 1 ～第 N のクロックのクロック数 N を、 $N \leq [T / (T_S + T_H)]$ ($[X]$ は X を越えない最大の整数) としたことを特徴とするサンプリングクロック生成回路。

【請求項 4】 請求項 3 において、

クロック数 N を、 $N = [T / (T_S + T_H)]$ ($[X]$ は X を越えない最大の整数) としたことを特徴とするサンプリングクロック生成回路。

【請求項 5】 請求項 1 乃至 4 のいずれかにおいて、

第 1 ～第 N のクロックのクロック数 N を、 $N = 5$ としたことを特徴とするサンプリングクロック生成回路。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、

前記クロック選択手段が、

データのエッジから所与の設定数 M だけずれたエッジを有するクロックを第 1 ～第 N のクロックの中から選択し、選択したクロックをサンプリングクロックとして出力することを特徴とするサンプリングクロック生成回路。

【請求項 7】 請求項 6 において、

生成されたサンプリングクロックに基づいてデータを保持する手段のセットアップタイム、ホールドタイムが確保される数に前記設定数 M が設定されていることを特徴とするサンプリングクロック生成回路。

【請求項 8】 データをサンプリングするためのクロックを生成するサンプリングクロック生成回路であって、

データのエッジを検出するエッジ検出手段と、

前記エッジ検出手段でのエッジ検出情報に基づいて、周波数が同一で位相が互いに異なる第 1 ～第 N のクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力するクロック選択手段とを含み、

前記エッジ検出手段が、第 1 ～第 N のクロックの中のいずれかのクロックでデータを保持する少なくとも 1 つの保持手段を含み、

前記エッジ検出手段が含む前記保持手段のセットアップタイムを T_S 、ホールド

ドタイムを T_H 、第1～第 N のクロックの周期を T とした場合に、第1～第 N のクロックのクロック数 N を、 $N \leq [T / (T_S + T_H)]$ （ $[X]$ は X を越えない最大の整数）としたことを特徴とするサンプリングクロック生成回路。

【請求項9】 請求項8において、

クロック数 N を、 $N = [T / (T_S + T_H)]$ （ $[X]$ は X を越えない最大の整数）としたことを特徴とするサンプリングクロック生成回路。

【請求項10】 請求項8又は9において、

第1～第 N のクロックのクロック数 N を、 $N = 5$ としたことを特徴とするサンプリングクロック生成回路。

【請求項11】 データをサンプリングするためのクロックを生成するサンプリングクロック生成回路であって、

データのエッジを検出するエッジ検出手段と、

前記エッジ検出手段でのエッジ検出情報に基づいて、周波数が同一で位相が互いに異なる第1～第 N のクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力するクロック選択手段とを含み、

前記クロック選択手段が、

データのエッジから所与の設定数 M だけずれたエッジを有するクロックを第1～第 N のクロックの中から選択し、選択したクロックをサンプリングクロックとして出力することを特徴とするサンプリングクロック生成回路。

【請求項12】 請求項11において、

生成されたサンプリングクロックに基づいてデータを保持する手段のセットアップタイム、ホールドタイムが確保される数に前記設定数 M が設定されていることを特徴とするサンプリングクロック生成回路。

【請求項13】 請求項1乃至12のいずれかにおいて、

発振周波数が可変に制御される発振手段を有し、発振手段により生成されるクロックをベースクロックに位相同期させるPLL回路を含み、

前記発振手段が含む奇数段の第1～第 N の反転回路の出力に基づいて、前記第1～第 N のクロックが生成されることを特徴とするサンプリングクロック生成回路。

【請求項 1 4】 請求項 1 3 において、

前記第 1 ～第 N のクロック間の位相差が同等になるように、前記第 1 ～第 N の反転回路の配置及び前記第 1 ～第 N の反転回路の出力ラインの配線の少なくとも一方が行われることを特徴とするサンプリングクロック生成回路。

【請求項 1 5】 請求項 1 3 又は 1 4 において、

前記第 1 ～第 N のクロックのラインに寄生する容量が同等になるように、前記第 1 ～第 N のクロックのラインが配線されることを特徴とするサンプリングクロック生成回路。

【請求項 1 6】 バスを介したデータ転送のためのデータ転送制御装置であって、

請求項 1 乃至 1 5 のいずれかのサンプリングクロック生成回路と、

前記サンプリングクロック生成回路で生成されたサンプリングクロックに基づいてデータを保持し、保持されたデータに基づいて、データ転送のための所与の処理を行う回路と、

を含むことを特徴とするデータ転送制御装置。

【請求項 1 7】 請求項 1 6 において、

U S B (Universal Serial Bus) の規格に準拠したデータ転送を行うことを特徴とするデータ転送制御装置。

【請求項 1 8】 請求項 1 6 又は 1 7 のデータ転送制御装置と、

前記データ転送制御装置及び前記バスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置と、

を含むことを特徴とする電子機器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、サンプリングクロック生成回路、データ転送制御装置及び電子機器に関し、特に、U S B 2 . 0 などの高速バスで転送されるデータのサンプリングに最適なサンプリングクロックを生成する回路、及びこのサンプリングクロック生成回路が用いられるデータ転送制御装置、電子機器に関する。

【0002】

【背景技術及び発明が解決しようとする課題】

近年、パーソナルコンピュータと周辺機器（広義には電子機器）とを接続するためのインターフェース規格として、USB (Universal Serial Bus)が注目を集めている。このUSBには、従来は別々の規格のコネクタで接続されていたマウスやキーボードやプリンタなどの周辺機器を、同じ規格のコネクタで接続できると共にいわゆるプラグ&プレイやホットプラグも実現できるという利点がある。

【0003】

一方、このUSBには、同じくシリアルバスインターフェース規格として脚光を浴びているIEEE 1394に比べて、転送速度が遅いという問題点がある。

【0004】

そこで、従来のUSB 1.1の規格に対する下位互換性を持ちながら、USB 1.1に比べて格段に高速な480Mbps (HSモード)のデータ転送速度を実現できるUSB 2.0規格が策定され、注目を浴びている。また、USB 2.0の物理層回路や論理層回路のインターフェース仕様を定義したUTMI (USB 2.0 Transceiver Macrocell Interface)も策定されている。

【0005】

さて、このUSB 2.0では、HS (High Speed) モード時には480Mbpsでデータ転送が行われるため、高速な転送速度が要求されるハードディスクドライブや光ディスクドライブなどのストレージ機器のインターフェースとして用いることができるという利点がある。

【0006】

しかしながら、その一方で、USBバスに接続されるデータ転送制御装置は、480Mbpsで転送されてくるデータをサンプリングするために、480MHzという高い周波数のサンプリングクロックを生成しなければならない。しかも、データのサンプリング時におけるセットアップタイムやホールドタイムを確保できるサンプリングクロックを生成する必要がある。従って、このようなサンプリングクロックの生成回路の設計が非常に困難であるという課題がある。

【0007】

この場合、微細加工が可能な最新の半導体プロセスを用いれば、このようなサンプリングクロック生成回路の実現も可能となるが、最新の半導体プロセスを使用できない場合には、このような高速動作可能なサンプリングクロック生成回路の実現は非常に困難になる。

【0008】

また、最新の半導体プロセスを使用せずに高速なサンプリングクロック生成回路を実現する1つの手法として、手作業により回路を配置、配線してクロックスキューを最小化し、同期動作を保証する手法がある。

【0009】

しかしながら、このような手作業による回路の配置、配線は、HDL (Hardware Description Language) による回路合成や自動配置配線を利用した効率的な回路設計手法に比べて、設計期間の長期化や装置の高コスト化を招くと共に、データ転送制御装置（物理層回路、論理層回路）のマクロセル化の妨げにもなる。

【0010】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、高周波数でありながらサンプリング時におけるセットアップタイム等を確保できるサンプリングクロックの生成回路、及びこれを用いたデータ転送制御装置、電子機器を提供することにある。

【0011】

【課題を解決するための手段】

上記課題を解決するために本発明は、データをサンプリングするためのクロックを生成するサンプリングクロック生成回路であって、周波数が同一で位相が互いに異なる第1～第Nのクロックのエッジの中のいずれのエッジ間にデータのエッジがあるかを検出するエッジ検出手段と、前記エッジ検出手段でのエッジ検出情報に基づいて、前記第1～第Nのクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力するクロック選択手段とを含むことを特徴とする。

【0012】

本発明によれば、多相の第1～第Nのクロックのエッジの中のいずれのエッジ間にデータのエッジがあるのかが検出される。例えば、データのエッジが、第1、第2のクロックのエッジ間にあるのか、第2、第3のクロックのエッジ間にあるのか等が検出される。そして、得られたエッジ検出情報（どのクロックのエッジ間にデータのエッジがあるのかを示す情報）に基づいて、第1～第Nのクロックの中からいずれかのクロックが選択され、そのクロックがサンプリングクロックとして出力される。

【0013】

このように本発明によれば、エッジ検出情報に基づいて第1～第Nのクロックの中からクロックを選択するという簡素な構成で、データのサンプリングクロックを生成できる。従って、高速なクロックに同期して入力されるデータであっても、そのデータをサンプリングするための適正なサンプリングクロックを、小規模な回路構成で生成できるようになる。

【0014】

また本発明は、前記エッジ検出手段が、データを第1のクロックで保持する第1の保持手段と・・・データを第J（ $1 < J < N$ ）のクロックで保持する第Jの保持手段と・・・データを第Nのクロックで保持する第Nの保持手段と、第1、第2の保持手段に保持されたデータに基づいて、第1、第2のクロックのエッジ間にデータのエッジがあるか否かを検出する第1の検出手段と・・・第J、第J+1の保持手段に保持されたデータに基づいて、第J、第J+1のクロックのエッジ間にデータのエッジがあるか否かを検出する第Jの検出手段と・・・第N、第1の保持手段に保持されたデータに基づいて、第N、第1のクロックのエッジ間にデータのエッジがあるか否かを検出する第Nの検出手段とを含み、前記クロック選択手段が、前記第1～第Nの検出手段でのエッジ検出情報に基づいて、前記第1～第Nのクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力することを特徴とする。

【0015】

このようにすれば、第1～第Nの保持手段と第1～第Nの検出手段を設けるだけという簡素な構成で、どのクロックのエッジ間にデータのエッジがあるのかを

検出できるようになる。

【 0 0 1 6 】

また本発明は、前記第 1 ～ 第 N の保持手段のセットアップタイムを T S、ホールドタイムを T H、第 1 ～ 第 N のクロックの周期を T とした場合に、第 1 ～ 第 N のクロックのクロック数 N を、 $N \leq [T / (T S + T H)]$ （[X] は X を越えない最大の整数）としたことを特徴とする。

【 0 0 1 7 】

このようにすれば、第 1 ～ 第 N の保持手段で保持されるデータが不定になった場合にも、適正なエッジ検出情報を得ることが可能になる。

【 0 0 1 8 】

また本発明は、クロック数 N を、 $N = [T / (T S + T H)]$ （[X] は X を越えない最大の整数）としたことを特徴とする。

【 0 0 1 9 】

このようにすれば、適正なエッジ検出情報を得ることができるクロック数 N の範囲内で、N を最大の数にすることができ、クロック選択手段で選択できるクロックの選択枝の範囲を広めることができる。

【 0 0 2 0 】

また本発明は、第 1 ～ 第 N のクロック数 N を、 $N = 5$ としたことを特徴とする。

【 0 0 2 1 】

このように $N = 5$ とすれば、データのエッジから例えば 2 ～ 4 個ずれたエッジを持つクロックをサンプリングクロックとして選択できるようになり、クロックの選択枝として十分な範囲の選択枝を確保できるようになる。また、第 1 ～ 第 N（= 5）のクロックを、P L L 回路の発振手段が有する反転回路の出力から得る場合には、反転回路の段数を 5 段にすることができ、高い周波数で P L L 回路の発振手段を発振させることができる。この結果、高周波数のサンプリングクロックを得ることが可能になる。

【 0 0 2 2 】

また本発明は、前記クロック選択手段が、データのエッジから所与の設定数 M

だけずれたエッジを有するクロックを第1～第Nのクロックの中から選択し、選択したクロックをサンプリングクロックとして出力することを特徴とする。

【0023】

このようにすれば、後段の回路がサンプリングクロック生成回路で生成されたサンプリングクロックを直接に用いないでデータをサンプリングするような場合にも、後段の回路の構成に応じた適正なサンプリングクロックを後段の回路に提供できるようになる。

【0024】

また本発明は、生成されたサンプリングクロックに基づいてデータを保持する手段のセットアップタイム、ホールドタイムが確保される数に前記設定数Mが設定されていることを特徴とする。

【0025】

このようにすれば、後段の回路でのデータのサンプリングエラーを防止できるようになり、信頼性を向上できる。

【0026】

また本発明は、データをサンプリングするためのクロックを生成するサンプリングクロック生成回路であって、データのエッジを検出するエッジ検出手段と、前記エッジ検出手段でのエッジ検出情報に基づいて、周波数が同一で位相が互いに異なる第1～第Nのクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力するクロック選択手段とを含み、前記エッジ検出手段が、第1～第Nのクロックの中のいずれかのクロックでデータを保持する少なくとも1つの保持手段を含み、前記エッジ検出手段が含む前記保持手段のセットアップタイムを T_S 、ホールドタイムを T_H 、第1～第Nのクロックの周期を T とした場合に、第1～第Nのクロックのクロック数 N を、 $N \leq [T / (T_S + T_H)]$ （ $[X]$ は X を越えない最大の整数）としたことを特徴とする。

【0027】

本発明によれば、保持手段で保持されるデータが不定になった場合にも、適正なエッジ検出情報を得ることが可能になり、適正なサンプリングクロックを生成

できるようになる。

【 0 0 2 8 】

また本発明は、データをサンプリングするためのクロックを生成するサンプリングクロック生成回路であって、データのエッジを検出するエッジ検出手段と、前記エッジ検出手段でのエッジ検出情報に基づいて、周波数が同一で位相が互いに異なる第1～第Nのクロックの中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックとして出力するクロック選択手段とを含み、前記クロック選択手段が、データのエッジから所与の設定数Mだけずれたエッジを有するクロックを第1～第Nのクロックの中から選択し、選択したクロックをサンプリングクロックとして出力することを特徴とする。

【 0 0 2 9 】

本発明によれば、Nの設定を異ならせることで、後段の回路の構成に応じた適正なサンプリングクロックを生成し、後段の回路に提供できるようになる。

【 0 0 3 0 】

また本発明は、発振周波数が可変に制御される発振手段を有し、発振手段により生成されるクロックをベースクロックに位相同期させるPLL回路を含み、前記発振手段が含む奇数段の第1～第Nの反転回路の出力に基づいて、前記第1～第Nのクロックが生成されることを特徴とする。

【 0 0 3 1 】

このようにすれば、第1～第Nのクロックを生成するために新たに別の回路を設ける必要がなくなり、回路の小規模化を図れる。

【 0 0 3 2 】

また本発明は、前記第1～第Nのクロック間の位相差が同等（ほぼ同等の場合を含む）になるように、前記第1～第Nの反転回路の配置及び前記第1～第Nの反転回路の出力ラインの配線の少なくとも一方が行われることを特徴とする。

【 0 0 3 3 】

このようにすれば、この第1～第Nのクロックでデータを保持する第1～第Nの保持手段のセットアップタイムやホールドタイムを最大限に確保できるようになる。これにより、データのサンプリングエラーやホールドエラーが生じるのを

効果的に防止できる。

【0034】

なお、第1～第Nのクロック間の位相差を同等（ほぼ同等の場合も含む）にするための第1～第Nの反転回路の配置手法としては、例えば、第1～第Nの反転回路を、その帰還ライン（第Nの反転回路の出力と第1の反転回路の入力を接続するライン）と平行な第1の行に沿って配置すると共に、第1～第Nの反転回路の出力がその入力に接続される第1～第Nのバッファ回路を、帰還ラインと平行で且つ第1の行とは異なる第2の行に沿って配置する手法などを考えることができる。

【0035】

また、この場合の第1～第Nの反転回路の出力ラインの配線手法としては、例えば、第1～第N-1の反転回路に、帰還ラインと同等（ほぼ同等の場合も含む）の寄生容量を有する第1～第N-1のダミーラインを接続したり、第1～第Nの反転回路と第1～第Nのバッファ回路の間の領域に、帰還ラインや第1～第N-1のダミーラインを配置する手法などを考えることができる。

【0036】

また本発明は、前記第1～第Nのクロックのラインに寄生する容量が同等（ほぼ同等の場合を含む）になるように、前記第1～第Nのクロックのラインが配線されることを特徴とする。

【0037】

このようにすれば、第1～第Nのクロック間の位相差を同等にすることが可能になり、この第1～第Nのクロックでデータを保持する第1～第Nの保持手段のセットアップタイムやホールドタイムを最大限に確保できるようになる。これにより、データのサンプリングエラーやホールドエラーが生じるのを効果的に防止できる。

【0038】

なお、第1～第Nのクロックのラインの寄生容量を同等（ほぼ同等の場合も含む）にする手法としては、第1～第Nのクロックのラインを同じ長さ（ほぼ同じ長さの場合も含む）にしたり、第1～第Nのクロックのラインの折り返し地点を

同じ個数にしたりする手法などを考えることができる。

【 0 0 3 9 】

また本発明は、バスを介したデータ転送のためのデータ転送制御装置であって、上記のいずれかのサンプリングクロック生成回路と、前記サンプリングクロック生成回路で生成されたサンプリングクロックに基づいてデータを保持し、保持されたデータに基づいて、データ転送のための所与の処理を行う回路とを含むことを特徴とする。

【 0 0 4 0 】

本発明によれば、バスを介して転送されるデータを確実にサンプリングできるサンプリングクロックを生成できるようになるため、データ転送の信頼性を高めることができる。また、高速な転送速度で転送されるデータも確実にサンプリングできるようになるため、高速バスの規格にも対応できるデータ転送制御装置を実現できる。

【 0 0 4 1 】

また本発明は、U S B (Universal Serial Bus)の規格に準拠したデータ転送を行うことを特徴とする。

【 0 0 4 2 】

このようにすれば、例えばU S B 2 . 0で規格化されたH Sモードでのデータ転送等についても適正に実現できるようになる。

【 0 0 4 3 】

また本発明に係る電子機器は、上記のいずれかのデータ転送制御装置と、前記データ転送制御装置及び前記バスを介して転送されるデータの出力処理又は取り込み処理又は記憶処理を行う装置とを含むことを特徴とする。

【 0 0 4 4 】

本発明によれば、電子機器に使用されるデータ転送制御装置の低コスト化、信頼性の向上を図れるため、電子機器の低コスト化、信頼性の向上も図れるようになる。また、本発明によれば、高速な転送モードでデータ転送を行うことができるようになるため、電子機器の処理の高速化を図れるようになる。

【 0 0 4 5 】

【発明の実施の形態】

以下、本実施形態について図面を用いて詳細に説明する。

【0046】

なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を何ら限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【0047】

1. 構成及び動作

1. 1 データ転送制御装置

図1に本実施形態のデータ転送制御装置の構成の例を示す。

【0048】

本実施形態のデータ転送制御装置は、データハンドラ回路400、HS (High Speed) 回路410、FS (Full Speed) 回路420、アナログフロントエンド回路430、クロック生成回路440、クロック制御回路450を含む。なお、本発明のデータ転送制御装置は、図1に示す回路ブロックの全てを含む必要はなく、それらの一部を省略する構成としてもよい。

【0049】

データハンドラ回路400（広義にはデータ転送を行うための所与の回路）は、USB等に準拠したデータ転送のための種々の処理を行う。より具体的には、送信時には、送信データにSYNC (synchronization)、SOP (Start Of Packet)、EOP (End Of Packet) を付加する処理や、ビットスタッフィング処理などを行う。一方、受信時には、受信データのSYNC、SOP、EOPを検出／削除する処理や、ビットアンスタッフィング処理などを行う。更に、データの送受信を制御するための各種のタイミング信号を生成する処理も行う。

【0050】

なお、受信データはデータハンドラ回路400から後段の回路であるSIE (Serial Interface Engine) に出力され、送信データはSIEからデータハンドラ回路400に入力されることになる。

【0051】

HS回路410は、データ転送速度が480MbpsとなるHS (High Speed) でのデータの送受信を行うためのロジック回路であり、FS回路420は、データ転送速度が12MbpsとなるFS (Full Speed) でのデータの送受信を行うためのロジック回路である。

【0052】

ここで、HSモードは、USB 2. 0により新たに定義された転送モードである。一方、FSモードは、従来のUSB 1. 1で既に定義されている転送モードである。

【0053】

USB 2. 0では、このようなHSモードが用意されているため、プリンタ、オーディオ、カメラなどにおけるデータ転送のみならず、ハードディスクドライブや光ディスクドライブ (CDROM、DVD) などのストレージ機器におけるデータ転送も実現できるようになる。

【0054】

HS回路410は、HSDLL (High Speed Delay Line PLL) 回路10、エラスティシティバッファ (elasticity buffer) 12を含む。

【0055】

ここでHSDLL回路10は、受信データとクロック生成回路440 (PLL) からのクロックとに基づいて、データのサンプリングクロックを生成する回路である。

【0056】

またエラスティシティバッファ12は、内部装置 (データ転送制御装置) と外部装置 (バスに接続される外部装置) とのクロック周波数差 (クロックドリフト) 等を吸収するための回路である。

【0057】

アナログフロントエンド回路430は、FSやHSでの送受信を行うためのドライバやレシーバを含むアナログ回路である。USBではDP (Data+) とDM (Data-) を用いた差動信号によりデータを送受信する。

【0058】

クロック生成回路440は、装置内部で使用する480MHzのクロックや、装置内部及びSIEで使用する60MHzのクロックを生成する。

【0059】

クロック生成回路440は、発振回路20、HSPLL22、FSPLL24を含む。

【0060】

ここで発振回路20は、例えば外部振動子との組み合わせによりベースクロックを生成する。

【0061】

HSPLL (HS Phase Locked Loop) 22は、発振回路20で生成されたベースクロックに基づいて、HSモードに必要な480MHzのクロックと、FSモード、装置内部及びSIEに必要な60MHzのクロックを生成するPLLである。なお、HSモードで送受信を行う場合には、このHSPLL22によるクロック生成を有効にする必要がある。

【0062】

FSPLL (FS Phase Locked Loop) 24は、発振回路20で生成されたベースクロックに基づいて、FSモード、装置内部及びSIEに必要な60MHzのクロックを生成する。なお、このFSPLL24によるクロック生成を有効にしている時には、HSモードでの送受信は不可となる。

【0063】

クロック制御回路450は、SIEからの各種の制御信号を受け、クロック生成回路440を制御する処理などを行う。なお、クロック生成回路440により生成された60MHzのシステムクロックはクロック制御回路450を介してSIEに出力される。

【0064】

1. 2 サンプリングクロック生成回路

図2に、本実施形態のサンプリングクロック生成回路(HSDLL回路)の構成例を示す。

【0065】

H S P L L 2 2 (多相クロック生成回路)は、周波数が同一で位相が互いに異なるクロックCLK0、CLK1、CLK2、CLK3、CLK4 (広義には第1～第Nのクロック)を出力する。より具体的には、H S P L L 2 2のVCO (発振周波数が可変に制御される発振手段)が含む5個の差動出力コンパレータ (広義には奇数段の第1～第Nの反転回路)の出力を用いて、クロックCLK0～4を生成して出力する。

【0066】

H S D L L回路10はエッジ検出回路70、クロック選択回路72を含む。そして、このエッジ検出回路70 (エッジ検出手段)は、図1のアナログフロントエンド回路430から入力されるデータDINのエッジを検出し、そのエッジ検出情報をクロック選択回路72に出力する。

【0067】

より具体的には、H S P L L 2 2からのCLK0～4のエッジ (立ち上がり又は立ち下がりエッジ)の中のいずれのエッジ間にデータDINのエッジがあるかを検出し、そのエッジ検出情報をクロック選択回路72に出力する。

【0068】

すると、クロック選択回路72は、このエッジ検出情報に基づいて、クロックCLK0～4の中からいずれかのクロックを選択し、選択したクロックをサンプリングクロックSCLKとして後段のエラスティシティバッファ12 (図1参照)に出力する。

【0069】

図3 (A)、(B)に本実施形態の動作を説明するためのタイミング波形図を示す。

【0070】

図3 (A)、(B)に示すように、CLK0～4は周波数が同一の480MHzとなるクロックである。また、クロックの周期をTとした場合に、各クロック間の位相が $T/5$ (広義には T/N)だけシフトしている。

【0071】

そして図3 (A)では、サンプリング対象となるデータDINのエッジEDが

、クロックCLK0とCLK1の間にあることが図2のエッジ検出回路70により検出される。すると、データDINのエッジEDから例えば3個（広義には設定数M個）だけずれたエッジEC3を有するクロックCLK3が図2のクロック選択回路72により選択され、この選択されたCLK3が、DINのサンプリングクロックSCLKとして後段の回路（エラスティシティバッファ12）に出力される。

【0072】

一方、図3（B）では、DINのエッジEDが、CLK2とCLK3の間にあることがエッジ検出回路70により検出される。すると、DINのエッジEDから例えば3個（広義には設定数M個）だけずれたエッジEC0を有するクロックCLK0がクロック選択回路72により選択され、この選択されたCLK0が、DINのサンプリングクロックSCLKとして後段の回路（エラスティシティバッファ12）に出力される。

【0073】

このように本実施形態によれば、データDINのエッジEDを検出し、得られたエッジ検出情報に基づいてCLK0～CLK4からクロックを選択するという簡素な構成で、データDINのサンプリングクロックSCLKを生成できる。従って、USB2.0のHSモードのように、DINが外部装置の480MHzに同期する高速な転送データである場合にも、このDINを適正にサンプリングできるクロックSCLKを生成できる。

【0074】

また本実施形態によれば、図3（A）、（B）に示すように、生成されたサンプリングクロックSCLKのエッジESをDINのエッジ間の真ん中付近に位置させることができる。従って、後段の回路（エラスティシティバッファ12）は、データの保持のためのセットアップタイムやホールドタイムを十分に確保できるようになり、データ受信の信頼性を格段に高めることができる。

【0075】

また本実施形態によれば、DINのエッジ検出やSCLKの生成のために使用する5相（多相）のクロックCLK0～4として、HSPLL22のVCOが含

む差動出力コンパレータ（反転回路）の出力を有効利用している。従って、CLK 0～4 を生成するために別の新たな回路を設ける必要が無いため、回路の小規模化を図れる。

【 0 0 7 6 】

1. 3 HSPLLの詳細例

図4にHSPLL 22の詳細な構成例を示す。

【 0 0 7 7 】

このHSPLL 22は、位相比較器80、チャージポンプ回路82、フィルタ回路84、VCO (Voltage Controlled Oscillator) 86、分周器88などを含む。

【 0 0 7 8 】

ここで位相比較器80は、ベースクロックRCLK（例えば12～24MHz）と分周器88からのクロックDCLK4の位相を比較し、位相誤差信号PUP、PDWを出力する（PUPは位相進み信号、PDWは位相遅れ信号）。

【 0 0 7 9 】

チャージポンプ回路82は、位相比較器80からのPUP、PDWに基づいてチャージポンプ動作を行う。より具体的には、PUPがアクティブになると、フィルタ回路84が含むコンデンサを充電する動作を行い、PDWがアクティブになると、コンデンサを放電する動作を行う。そして、フィルタ回路84により平滑化された制御電圧VCがVCO 86に与えられる。

【 0 0 8 0 】

VCO 86は、制御電圧VCに応じてその発振周波数が可変に制御される発振動作を行い、480MHzのクロックQCLK 0～4を生成する。例えば、制御電圧VCが高くなると発振周波数も高くなり、制御電圧VCが低くなると発振周波数も低くなる。

【 0 0 8 1 】

VCO 86により生成されたクロックQCLK 0、1、2、3、4は、バッファ回路BF 00～04、BF 10～14を介してCLK 0、2、4、1、3として外部に出力される。なお、BF 20～23はBF 24との負荷合わせのための

ダミーのバッファ回路である。

【0082】

分周器88は、バッファ回路BF04、BF24を介してVCO86から入力されるクロックQCLK4を分周(1/N)して、分周後のクロックDCLK4を位相比較器80に出力する。

【0083】

図4の構成のHSPLL22によれば、ベースクロックRCLKに位相同期した高周波数の480MHzのクロックCLK4(CLK0~3)を生成できるようになる。

【0084】

なお図4のHSPLL22において、チャージポンプ回路82を設けない構成としてもよい。また、VCO86の代わりに電流制御の発振手段を設けるようにしてもよい。

【0085】

図5に、VCO86の構成例を示す。

【0086】

このVCO86は、5段(広義には奇数段)の直列接続された差動出力コンパレータDCP0~4(広義には反転回路)を含み、各DCP0~4の差動出力XQ、Qは、シングルエンド出力コンパレータSCP0~4(広義にはバッファ回路)の差動入力I、XIに入力される。そして、SCP0~4の出力がVCO86の出力クロックQCLK0~4になる。また、最終段の差動出力コンパレータDCP4の出力は、帰還ラインFLA、FLB(帰還ラインペア)を介して初段の差動出力コンパレータDCP0の入力に接続される。また、制御電圧VCが変化すると、差動出力コンパレータDCP0~4の電流源に流れる電流が変化し、発振周波数が変化する。

【0087】

図6(A)に、差動出力コンパレータ(差動増幅器)DCP0~4の構成例を示す。この差動出力コンパレータは、差動入力I、XIがゲート電極に接続され、差動出力XQ、Qがドレイン電極に接続されたN型トランジスタNT1、NT

2 と、制御電圧 V_C がゲート電極に接続された N 型トランジスタ $N T 3$ （電流源）を含む。また、差動出力 Q がゲート電極に接続され、差動出力 $X Q$ 、 Q がドレイン電極に接続された P 型トランジスタ $P T 1$ 、 $P T 2$ を含む。

【0088】

図 6（B）に、差動出力コンパレータ $D C P 0 \sim 4$ の他の構成例を示す。この差動出力コンパレータは、差動入力 I 、 $X I$ がゲート電極に接続され、差動出力 $X Q$ 、 Q がドレイン電極に接続された N 型トランジスタ $N T 4$ 、 $N T 5$ と、制御電圧 V_C がゲート電極に接続された N 型トランジスタ $N T 6$ （電流源）を含む。また、差動出力 Q 、 $X Q$ がゲート電極に接続され、差動出力 $X Q$ 、 Q がドレイン電極に接続された P 型トランジスタ $P T 3$ 、 $P T 4$ と、差動出力 $X Q$ 、 Q がゲート電極及びドレイン電極に接続された P 型トランジスタ $P T 5$ 、 $P T 6$ を含む。

【0089】

図 6（B）の回路では、 $X Q$ 側の回路（ $P T 3$ 、 $P T 5$ 、 $N T 4$ ）と Q 側の回路（ $P T 4$ 、 $P T 6$ 、 $N T 5$ ）とが同一構成（線対称）となるマルチバイブレータ型のコンパレータになっている。即ち、 Q の電位が下がると $P T 3$ がオンになり $X Q$ の電位が上がる一方で、 $X Q$ の電位が下がると $P T 4$ がオンになり Q の電位が上がる構成になっている。従って、図 6（A）の構成に比べて、差動出力 Q 及び $X Q$ の振幅を大きくすることが可能になる（例えば $1.4 V \sim 3.2 V$ ）。

【0090】

なお、 $V C 0 8 6$ に含ませる反転回路は図 6（A）、（B）に示す差動出力コンパレータに限定されず、種々の変形実施が可能である。

【0091】

例えば図 7 に示す反転回路では、P 型トランジスタ $P T 7$ 、 $P T 8$ 、N 型トランジスタ $N T 7$ 、 $N T 8$ が直列接続される。そして、これらのトランジスタに流れる電流が、 $P T 7$ 、 $N T 8$ のゲート電極に接続される制御電圧 $V C Q$ 、 $V C$ により制御されて、発振周波数が可変に制御される。

【0092】

図 8 に、シングルエンド出力コンパレータ $S C P 0 \sim 4$ の構成例を示す。

【0093】

この図8のシングルエンド出力コンパレータの差動部は、差動入力I、XIがゲート電極に接続され、ノードND1、ND2がドレイン電極に接続されたN型トランジスタNT10、NT11と、基準電圧VREFがゲート電極に接続されたN型トランジスタNT12（電流源）を含む。また、この差動部は、ノードND2、ND1がゲート電極に接続され、ノードND1、ND2がドレイン電極に接続されたP型トランジスタPT10、PT11と、ノードND1、ND2がゲート電極及びドレイン電極に接続されたP型トランジスタPT12、PT13を含む。

【0094】

また図8のシングルエンド出力コンパレータの出力部は、ノードND1がゲート電極に接続され、ドレイン電極がシングルエンド出力Qに接続されたP型トランジスタPT14と、基準電圧VREFがゲート電極に接続され、ドレイン電極がシングルエンド出力Qに接続されたN型トランジスタNT13（電流源）を含む。

【0095】

以上に説明した本実施形態では、図5の5段の差動出力コンパレータDCP0～4（反転回路）の出力を利用して、図2、図3（A）、（B）で説明した5相のクロックCLK0～CLK4を得ている。そして、これらの差動出力コンパレータDCP0～4は、VCO86の発振動作のために元々必要な回路である。従って、このように差動出力コンパレータDCP0～4の出力を利用して、5相のクロックCLK0～CLK4を生成するようにすれば、CLK0～4を生成するために別の新たな回路を設ける必要がなくなるため、回路の小規模化を図れる。

【0096】

1. 4 エッジ検出回路、クロック選択回路の詳細例

図9にエッジ検出回路70、クロック選択回路72の詳細な構成例を示す。

【0097】

エッジ検出回路70は、DフリップフロップDFA0と、DフリップフロップDFB0～DFB4（第1～第Nの保持手段）と、検出回路EDET0～EDET4（第1～第Nの検出手段）を含む。

【0098】

ここで、DフリップフロップDFA0は、信号SQUELCHをデータDINのエッジでサンプリングして保持し、信号SSQUELCHを出力する。

【0099】

DフリップフロップDFB0（第1の保持手段）は、データDINをクロックCLK0のエッジでサンプリングして保持する。同様に、DFB1（第2の保持手段）はDINをCLK1で保持し、DFB2（第3の保持手段）はDINをCLK2で保持し、DFB3（第4の保持手段）はDINをCLK3で保持し、DFB4（第5の保持手段）はDINをCLK4で保持する。

【0100】

そして検出回路EDET0～4は、DフリップフロップDFB0～DFB4の出力DQ0～DQ4（保持されたデータ）に基づいて排他的論理和演算を行い、クロックCLK0～CLK4のエッジの中のいずれのエッジ間にデータDINのエッジがあるかを検出する。

【0101】

より具体的には、検出回路EDET0（第1の検出手段）は、DフリップフロップDFB0、1の出力DQ0、1に基づいて、クロックCLK0、1のエッジ間にデータDINのエッジがあるか否かを検出する。同様に、EDET1（第2の検出手段）は、DFB1、2の出力DQ1、2に基づいて、CLK1、2のエッジ間にDINのエッジがあるか否かを検出する。またEDET2（第3の検出手段）は、DFB2、3の出力DQ2、3に基づいて、CLK2、3のエッジ間にDINのエッジがあるか否かを検出する。またEDET3（第4の検出手段）は、DFB3、4の出力DQ3、4に基づいて、CLK3、4のエッジ間にDINのエッジがあるか否かを検出する。またEDET4（第5の検出手段）は、DFB4、0の出力DQ4、0に基づいて、CLK4、0のエッジ間にDINのエッジがあるか否かを検出する。

【0102】

そして、クロック選択回路72（クロック選択手段）は、検出回路EDET0～4の出力EQ0～4（エッジ検出情報）に基づいて、CLK0～4のクロック

の中からいずれかのクロックを選択し、選択したクロックをサンプリングクロック SCLK として出力する。

【0103】

図10、図11に本実施形態の動作を説明するためのタイミング波形図を示す。

【0104】

受信したデータ DIN がノイズか否かを判別するための信号 SQUELCH が図10のA1に示すように「1」（論理レベル。以下同様）になると、これが DIN の立ち下がりエッジで図9のDフリップフロップ DFA0 に保持され、A2 に示すように SSQUELCH も「1」になる。そして SSQUELCH が「1」になるとエッジ検出回路70のエッジ検出動作がイネーブルされる。

【0105】

すると、DフリップフロップDFB0～4がCLK0～4の立ち上がりエッジでデータDINを保持し、図11のB1に示すようなDQ0～4を出力する。そして、検出回路EDET0はDQ0、1の例えば排他的論理和演算を行いB2に示すようなEQ0を出力する。同様に、検出回路EDET1、2、3、4は、各々、DQ1、2、DQ2、3、DQ3、4、DQ4、0の排他的論理和演算を行いB3～6に示すようなEQ1～4を出力する。

【0106】

クロック選択回路72は、これらの出力EQ0～4に基づいてクロックCLK0～4のいずれを選択するかを判断する。例えば図11のB2ではクロックCLK0、1のエッジ間にデータのエッジがあることが検出されたため、DINのエッジから例えば3個（所与の設定数M）だけずれたエッジを有するCLK4を選択し（図3（A）参照）、サンプリングクロックSCLKとして出力する。

【0107】

このクロックの選択は、クロック選択回路72が有する図示しない組み合わせ回路が、図10に示すようなクロック選択信号CSEL0～4を生成し、これらのCSEL0～4とCLK0～4との論理積演算を行うことで実現できる。

【0108】

例えば図10のA3ではクロック選択信号CSEL3がアクティブ（「1」）になっているため、クロックCLK3が選択されてサンプリングクロックSCLKとして出力される。同様に、A4、A5ではCSEL2、1がアクティブになっているため、各々、CLK2、1が選択されてSCLKとして出力される。

【0109】

なお、クロック選択回路72によるクロックの選択動作は、HSPLL22の位相同期がロックされたことを示す信号PLLLOCKEDが図10のA6に示すようにアクティブになったことを条件として、イネーブルされる。

【0110】

1. 5 セットアップタイム、ホールドタイムの確保

さて、図9のDフリップフロップ（保持手段）DFB0～4が、図12に示すようなタイミングでCLK0～CLK4を用いてデータDINを保持した場合を考える。

【0111】

この場合に、図12のC1では、データDINのエッジEDとCLK1のエッジEC1とが近いため、CLK1でDINを保持するDフリップフロップDFB1（図9参照）のセットアップタイムTSが足りなくなる。従って図12のC2に示すように、保持されるデータが不定となり、「0」又は「1」のいずれなのかを確定できなくなる。

【0112】

しかしながら、このような場合にも本実施形態では、図12のC3、C4に示すように、DINのエッジED（EDが検出されたと想定される位置）から例えば3個（M個）だけずれたエッジを持つクロックをサンプリングクロックSCLKとして選択しているため、適切なSCLKを生成できる。即ち、図12のC3に示すようにCLK3がSCLKとして選択された場合にも、C4に示すようにCLK4がSCLKとして選択された場合にも、SCLKの取り込みエッジをDINのエッジ間の真ん中付近に位置させることができる。従って、後段の回路（エラステシティバッファ）は、この生成されたSCLKを用いてDINを適正にサンプリングして保持できる。

【0113】

ところで図12では、多相クロックCLK0～N（CLK0～4）の周期をT、クロック数をN（=5）、Dフリップフロップ（保持手段）のセットアップタイムをTS、ホールドタイムをTHとした場合に、

$$T/N > TS + TH \quad (1)$$

の式が成立している。上式（1）を変形すると、

$$N < T / (TS + TH) \quad (2)$$

或いは、

$$N \leq [T / (TS + TH)] \quad (3)$$

となる。なお、上式（3）において[X]はXを越えない最大の整数である。

【0114】

例えば、 $T = 2.08 \text{ ns}$ （nanosecond）、 $TS = TP = 0.4 \text{ ns}$ であると想定した場合には、 $N \leq 5$ になる。即ち、この場合には、多相クロックの数を $N \leq 5$ にすれば、多相クロック間のセットアップタイムとホールドタイムとが重なり合わないようになる。

【0115】

一方、図13（A）では、多相クロックCLK0～6の数が図12よりも増えており、7個になっている。即ち、HSPLL22（図2参照）が内蔵する反転回路（差動出力コンパレータ）の出力を多相クロックとして利用する場合には、VCOを負帰還（リングオシレータ）で発振させるために反転回路の段数は奇数になり、多相クロックの数も奇数になる。従って、多相クロックの数を5個よりも大きな数にする場合には、その数は7個になる。

【0116】

そして図13（A）のように、7個の多相クロックCLK0～6を用いた場合には、上記（1）、（2）、（3）の関係式が満たされなくなる可能性がある。

【0117】

例えば図13（A）のD1では、DINのエッジEDとCLK0のエッジEC0とが近いため、CLK0でDINを保持するDフリップフロップDFB0（図9参照）のホールドタイムTHが足りなくなる。従って、D2に示すように、保

持されるデータが不定となり、「0」又は「1」のいずれなのかを確定できなくなる。

【0 1 1 8】

同様に図 1 3 (A) の D 3 でも、D I N のエッジ E D と C L K 1 のエッジ E C 1 とが近いため、C L K 1 で D I N を保持する D F B 1 のセットアップタイム T S が足りなくなる。従って、D 4 に示すように、保持されるデータが不定となり、「0」又は「1」のいずれなのかを確定できなくなる。

【0 1 1 9】

そして、このように「不定」となるポイントが 2 つになってしまうと、サンプリングクロック S C L K となる適正なクロックを選択できなくなる。即ち、図 1 2 では、D I N のエッジ E D から例えば 3 個だけずれたエッジを持つクロックを S C L K として選択していたが、図 1 3 (A) の場合にはこのような選択手法を採用しても適切な S C L K を得ることができない。

【0 1 2 0】

従って、このような事態を防ぐために、多相クロックの数 N は、 $N \leq [T / (T S + T H)]$ の関係式を満たすものであることが望ましい。

【0 1 2 1】

一方、多相クロックの数を 5 個よりも少なくして 3 個（5 の次の奇数）にした場合には、図 1 3 (B) に示すようになる。

【0 1 2 2】

この場合、D I N のエッジ E D から例えば 2 個だけずれたエッジを持つクロックを S C L K として選択すれば、図 1 3 (B) の E 1 では C L K 2 が選択され、E 2 では C L K 0 が選択されることになる。

【0 1 2 3】

しかしながら、図 1 3 (B) では、D I N のエッジ E D から 2 個だけずれたエッジを持つクロックしか選択できず、3 個或いは 4 個ずれたエッジを持つクロックを選択することはできない。従って、選択できるクロックの選択枝の範囲が狭いという欠点がある。

【0 1 2 4】

これに対して図 1 2 では、D I N のエッジ E D から 2 ～ 4 個ずれたエッジを持つクロックの選択が可能であるため、選択できるクロックの選択枝の範囲が広くなるという利点がある。

【 0 1 2 5 】

従って、クロックの選択枝の範囲を広くするためには、多相クロックの数 N は、 $N \leq [T / (T_S + T_H)]$ ($[X]$ は X を越えない最大の整数) の関係式を満たしながら、その中で最も大きな数であることが望ましい。即ち、 $N = [T / (T_S + T_H)]$ であることが望ましい。

【 0 1 2 6 】

なお、図 2 の H S P L L 2 2 が含む反転回路（差動出力コンパレータ）の段数が増えると、高い発振周波数を確保できないという問題がある。従って、H S P L L 2 2 の反転回路の出力を多相クロック C L K 0 ～ N として利用する場合には、高い発振周波数を確保できる範囲でクロック数 N を大きな数にすることが望まれる。

【 0 1 2 7 】

具体的には、 $N = 5$ とすれば、データのエッジから例えば 2 ～ 4 個ずれたエッジを持つクロックをサンプリングクロックとして選択できるようになり、クロックの選択枝として十分な範囲の選択枝を確保できるようになる。

【 0 1 2 8 】

一方、 $N = 5$ とすれば、H S P L L 2 2 の反転回路の段数を 5 段にすることができ、H S P L L 2 2 の V C O （発振回路）を高い周波数で発振させることができる。この結果、高周波数のサンプリングクロックを得ることが可能になる。

【 0 1 2 9 】

1. 6 クロックの選択

さて、本実施形態のサンプリングクロック生成回路で生成されたサンプリングクロック S C L K を直接に用いてデータ D I N をサンプリングする場合には、図 1 4 (A) に示すように、D I N のエッジ間の真ん中付近にエッジが位置するクロックを S C L K として選択することが望ましい。

【 0 1 3 0 】

例えば図14 (A) のように5相のクロックCLK0~4を用いる場合には、データDINのエッジEDから3個(設定数M)だけずれたエッジを有するクロックCLK3をサンプリングクロックSCLKとして選択する。

【0131】

このようにすれば、後段の回路がサンプリングクロックSCLKを用いてデータDINを保持する際に、十分なセットアップタイム、ホールドタイムを確保できるようになる。

【0132】

しかしながら、後段の回路が、サンプリングクロック生成回路からのサンプリングクロックSCLKを直接には用いずに、SCLKに論理演算等を施した後のクロックであるSCLK'を用いてデータDINを保持する場合がある。

【0133】

このような場合には図14 (B) に示すように、SCLKに施される論理演算を原因とする素子遅延により、SCLK'のエッジES'の位置がSCLKのエッジESの位置よりも遅延する場合がある。

【0134】

従って、このような場合には図14 (B) に示すように、信号遅延を考慮して、データDINのエッジEDから例えば2個だけずれたエッジを有するクロックCLK2をSCLKとして選択するようにする。そして、後段の回路は、このSCLKに論理演算等を施した後のクロックであるSCLK'を用いてデータDINを保持する。このようにすれば、後段の回路は、DINを保持する際に、十分なセットアップタイム、ホールドタイムを確保できるようになる。

【0135】

このように、DINのエッジEDからずらす個数Mは、後段の回路の構成に応じて可変に設定できることが望ましい。

【0136】

なお、SCLK'によりデータDINを適正にサンプリングできるように、DINの方を遅延素子により遅延させて後段の回路に出力するようにしてもよい。

【0137】

図 1 5 に後段の回路であるエラスティシティバッファ 1 2 の構成例を示す。なお、エラスティシティバッファ 1 2 は、図 1 の H S 回路 4 1 0 に含まれる回路であり、判断回路 6 0、バッファ 6 4、セクタ 6 6 は図 1 の例えばデータハンドラ回路 4 0 0 に含まれる回路である。

【 0 1 3 8 】

エラスティシティバッファ 1 2 は、データ保持レジスタ 5 0（データ保持手段）、データステータスレジスタ 5 2（データステータス保持手段）、書き込みパルス生成回路 5 4（書き込みパルス生成手段）を含む。

【 0 1 3 9 】

ここでデータ保持（ホールド）レジスタ 5 0 は、シリアルデータ D I N を受け、これを保持する 3 2 ビット幅のレジスタである。

【 0 1 4 0 】

データステータスレジスタ 5 2 は、データ保持レジスタ 5 0 の各ビットのデータのステータスを保持する 3 2 ビット幅のレジスタである。

【 0 1 4 1 】

書き込みパルス生成回路 5 4 は、3 2 ビット幅の書き込みパルス信号 W P [0 : 3 1] を生成し、データ保持レジスタ 5 0、データステータスレジスタ 5 2 に出力する回路である。

【 0 1 4 2 】

ここで、書き込みパルス信号 W P [0 : 3 1] は、その各パルスが、サンプリングクロック S C L K の 3 2 クロックサイクル毎（広義には K クロックサイクル毎）に周期的にアクティブになると共に、各パルスがアクティブになる期間が 1 クロックサイクルずつ互いにずれている信号である。データ保持レジスタ 5 0 は、この書き込みパルス信号 W P [0 : 3 1] に基づいて、各ビットのデータを保持する。同様にデータステータスレジスタ 5 2 も、この書き込みパルス信号 W P [0 : 3 1] に基づいて、各ビットのデータのステータスを保持する。

【 0 1 4 3 】

判断回路 6 0（判断手段）は、データ保持レジスタ 5 0 に保持されるデータが有効（valid）か否かを、複数のビット（例えば 8 ビット）で構成されるデータ

セル単位で判断する回路であり、内蔵するステートマシーン 6 2 に従って動作する。

【 0 1 4 4 】

より具体的には、判断回路 6 0 は、データ保持レジスタ 5 0 の各データセルが有効か否かを示す 4 ビット幅の信号 `VALID [0 : 3]` や、データ保持レジスタ 5 0 のオーバフロー時にアクティブになる信号 `OVERFLOW` を、データステータスレジスタ 5 2 から受ける。

【 0 1 4 5 】

そして、各データセルが有効か否かを判断し、有効なデータセルを選択するための信号 `SEL` をセレクタ 6 6 に出力する。また、データステータスレジスタ 5 2 に保持されているデータステータスを、データセル単位でクリアするための信号 `STRB [0 : 3]` をデータステータスレジスタ 5 2 に出力する。更に、HS モードでのパケット受信終了時にアクティブになる信号 `TERM` や HS モードでの受信動作をイネーブルにする信号 `HSENB` をエラステシティバッファ 1 2 に出力する。

【 0 1 4 6 】

バッファ 6 4 は、データ保持レジスタ 5 0 からの 3 2 ビット幅の平行データ `DPA [0 : 31]` を受け、6 0 MHz のクロック `CLK` で同期化しバッファリングしたデータ `DBUF [0 : 31]` をセレクタ 6 6 に出力する。

【 0 1 4 7 】

セレクタ 6 6 (出力手段) は、判断回路 6 0 からの信号 `SEL` に基づいて、バッファ 6 4 からのデータ `DBUF [0 : 31]` から、有効なデータセルのデータを選択し、8 ビット幅のデータ `DOUT [0 : 7]` として出力する。

【 0 1 4 8 】

図 1 5 のエラステシティバッファ 1 2 では、データ保持レジスタ 5 0 でのデータの保持に、サンプリングクロック生成回路からの `CLK` ではなく、書き込みパルス生成回路 5 4 からの書き込みパルス信号 `WP [0 : 31]` を用いている。即ち、`CLK` に論理演算等を施して生成された `WP [0 : 31]` を用いてデータを保持している。従って、図 1 4 (A)、(B) で説明したように、書き込

みパルス生成回路54での素子遅延を考慮して設定数Mを決め、クロックを選択することが望ましい。

【0149】

1. 7 回路配置

図16に、図5の反転回路DCP0～4（差動出力コンパレータ）、バッファ回路SCP0～4（シングルエンド出力コンパレータ）と図4のバッファ回路BF00～04、BF20～24、BF10～14の配置例を示す。

【0150】

図16では、反転回路DCP0～4を、帰還ラインFL（図5の帰還ラインペアFLA、FLB）に平行な行LN1（第1の行）に沿って配置する一方で、バッファ回路SCP0～4を、FLに平行ではあるがLN1とは異なる行LN2（第2の行）に沿って配置している。このようにすれば、反転回路DCP0～4とバッファ回路SCP0～4を同一の行に沿って配置する手法に比べて、帰還ラインFLの長さを短くでき、帰還ラインFLの寄生容量を小さくできる。従って、高い周波数のクロックを得ることが可能になると共に、多相のクロック間の位相差（信号遅延値の差）を同等（均等）にできるようになる。

【0151】

また図16では、帰還ラインFLを、反転回路DCP0～4とバッファ回路SCP0～4の間の領域に配置している。これにより、反転回路DCP4とバッファ回路SCP4を接続するためのラインを、帰還ラインFLで代用できるようになり、反転回路DCP4の出力に余分な寄生容量が付加されるのを防止できる。

【0152】

また図16では、ダミーラインDL（DLA0～3、DLB0～3）を設けると共に、ダミーラインDL及び帰還ラインFLを、反転回路DCP0～4とバッファ回路SCP0～4の間の領域に配置している。これにより、反転回路DCP0～4の出力に寄生する容量を同等にでき、ほぼ同一の位相差（信号遅延差）で順次ずれて行く多相のクロックを生成できるようになる。

【0153】

より具体的には図17に示すように、各反転回路DCP0～3の出力に対して

、最終段の反転回路DCP4の出力に接続される帰還ラインFLA、FLB（図16のFLに相当）の寄生容量と同等（ほぼ同等の場合を含む）の寄生容量を有するダミーラインDLA0～3、DLB0～3（図16のDLに相当）を設けている。即ち、帰還ラインFLA、FLB（帰還ラインペア）とほぼ同じ長さ（太さも同じ）のダミーラインDLA0～3、DLB0～3（ダミーラインペア）を帰還ラインFLA、FLBと平行に配置している。

【0154】

このようなダミーラインDLA0～3、DLB0～3を反転回路DCP0～3に接続することで、反転回路DCP0～3の出力に寄生する容量（配線容量）と反転回路DCP4の出力に寄生する容量を同等にすることができる。これにより、多相クロック間の位相差を同等にできるようになり、ほぼ同一の位相差（信号遅延差）で順次ずれて行く多相クロックを生成できる。これにより、例えば、この多相クロックを利用して、データのサンプリングクロックを生成する場合に、Dフリップフロップのセットアップタイムやホールドタイムを最大限に確保できる。この結果、データのサンプリングエラーやホールドエラーが生じるのを防止でき、データを適正にサンプリングできるクロックを生成できるようになる。

【0155】

さて本実施形態では図18に示すように、多相クロック生成回路22（図2のHSPLL）が生成した多相のクロックCLK0～4（第1～第Nのクロック）を用いて、サンプリングクロック生成回路10（図2のHSDL回路）が、データDINをサンプリングするためのサンプリングクロックSCLKを生成している。

【0156】

この場合に本実施形態では、クロックCLK0～4のライン（図16のバッファ回路BF10～14の出力に接続されるライン）に寄生する容量が同等（ほぼ同等の場合を含む）になるように、CLK0～4のラインを配線している。

【0157】

具体的には、図18の多相クロック生成回路22側でのCLK0～4のラインの配線（H1に示す部分での配線）を、例えば図19に示すような配線にしてい

る。即ち図19では、多相クロック生成回路22側でのクロックCLK0～4のラインの長さが同等（ほぼ同等を含む）になるように、これらの各ラインをわざと屈曲させている。このようにすることで、多相クロック生成回路22の出力端子（図18のH2）までの部分において、CLK0～4のラインの寄生容量が同等になることを保証できる。

【0158】

また本実施形態では、図18において、多相クロック生成回路22の出力端子（H2に示す部分）からサンプリングクロック生成回路10の入力端子（H3に示す部分）までの部分において、CLK0～4のラインの寄生容量が同等になるようにCLK0～4を配線している。即ち、このH2からH3の部分においてのCLK0～4の長さを同等にしている。

【0159】

更に本実施形態では、図18のサンプリングクロック生成回路10側でのCLK0～4のラインの配線（H4に示す部分）を、例えば図20に示すような配線にしている。

【0160】

即ち図20では、サンプリングクロック生成回路10の入力端子（H3に示す部分）からDフリップフロップDFB0～4（図9参照）のD端子DT0～4までのCLK0～4のラインの長さが同等になるようにしている。

【0161】

より具体的には図20に示すように、データDINをクロックCLK0～4で保持するDフリップフロップDFB0～4（第1～第Nの保持回路）を、CLK0～4のラインに平行な行LN3に沿って配置する。

【0162】

そして、クロックCLK0～4のラインを、折り返し地点TPT0～4（第1～第Nの折り返し地点）で反対方向に折り返した後に、DフリップフロップDFB0～4のD端子DT0～4（DFB0～4の入力）に接続する。この場合に本実施形態では、これらの折り返し地点TPT0～4を、CLK0～4のラインに寄生する容量が互いに同等になる場所に設けている。

【0163】

このようにすることで、サンプリングクロック生成回路10側でのCLK0～4のラインの寄生容量が、互いに同等になることを保証できるようになる。

【0164】

特に、図20に示すように折り返し地点TPT0～4でCLK0～4を折り返してDFB0～4に入力する配線手法によれば、ラインの折り返し回数についてもCLK0～4間で同等（例えば折り返し回数＝1）にできる。これにより、CLK0～4のラインに寄生する容量の差を、更に小さくすることが可能になる。

【0165】

2. 電子機器

次に、本実施形態のデータ転送制御装置を含む電子機器の例について説明する。

【0166】

例えば図21（A）に電子機器の1つであるプリンタの内部ブロック図を示し、図22（A）にその外観図を示す。CPU（マイクロコンピュータ）510はシステム全体の制御などを行う。操作部511はプリンタをユーザが操作するためのものである。ROM516には、制御プログラム、フォントなどが格納され、RAM517はCPU510のワーク領域として機能する。DMAC518は、CPU510を介さずにデータ転送を行うためのDMAコントローラである。表示パネル519はプリンタの動作状態をユーザに知らせるためのものである。

【0167】

USBを介してパーソナルコンピュータなどの他のデバイスから送られてきたシリアル印字データは、データ転送制御装置500によりパラレル印字データに変換される。そして、変換後のパラレル印字データは、CPU510又はDMAC518により、印字処理部（プリンタエンジン）512に送られる。そして、印字処理部512においてパラレル印字データに対して所与の処理が施され、プリントヘッダなどからなる印字部（データの出力処理を行う装置）514により紙に印字されて出力される。

【0168】

図 2 1 (B) に電子機器の 1 つであるスキャナの内部ブロック図を示し、図 2 2 (B) にその外観図を示す。CPU 5 2 0 はシステム全体の制御などを行う。操作部 5 2 1 はスキャナをユーザが操作するためのものである。ROM 5 2 6 には制御プログラムなどが格納され、RAM 5 2 7 は CPU 5 2 0 のワーク領域として機能する。DMAC 5 2 8 は DMA コントローラである。

【 0 1 6 9 】

光源、光電変換器などからなる画像読み取り部（データの取り込み処理を行う装置） 5 2 2 により原稿の画像が読み取られ、読み取られた画像のデータは画像処理部（スキャナエンジン） 5 2 4 により処理される。そして、処理後の画像データは、CPU 5 2 0 又は DMAC 5 2 8 によりデータ転送制御装置 5 0 0 に送られる。データ転送制御装置 5 0 0 は、このパラレルの画像データをシリアルデータに変換し、USB を介してパーソナルコンピュータなどの他のデバイスに送信する。

【 0 1 7 0 】

図 2 1 (C) に電子機器の 1 つである CD-RW ドライブの内部ブロック図を示し、図 2 2 (C) にその外観図を示す。CPU 5 3 0 はシステム全体の制御などを行う。操作部 5 3 1 は CD-RW をユーザが操作するためのものである。ROM 5 3 6 には制御プログラムなどが格納され、RAM 5 3 7 は CPU 5 3 0 のワーク領域として機能する。DMAC 5 3 8 は DMA コントローラである。

【 0 1 7 1 】

レーザ、モータ、光学系などからなる読み取り&書き込み部（データの取り込み処理を行う装置又はデータの記憶処理を行うための装置） 5 3 3 により CD-RW 5 3 2 から読み取られたデータは、信号処理部 5 3 4 に入力され、エラー訂正処理などの所与の信号処理が施される。そして、信号処理が施されたデータが、CPU 5 3 0 又は DMAC 5 3 8 によりデータ転送制御装置 5 0 0 に送られる。データ転送制御装置 5 0 0 は、このパラレルのデータをシリアルデータに変換し、USB を介してパーソナルコンピュータなどの他のデバイスに送信する。

【 0 1 7 2 】

一方、USB を介して他のデバイスから送られてきたシリアルデータは、デ

ータ転送制御装置 5 0 0 によりパラレルのデータに変換される。そして、このパラレルデータは、CPU 5 3 0 又はDMAC 5 3 8 により信号処理部 5 3 4 に送られる。そして、信号処理部 5 3 4 においてこのパラレルデータに対して所与の信号処理が施され、読み取り&書き込み部 5 3 3 によりCD-RW 5 3 2 に記憶される。

【0 1 7 3】

なお、図 2 1 (A)、(B)、(C) において、CPU 5 1 0、5 2 0、5 3 0 の他に、データ転送制御装置 5 0 0 でのデータ転送制御のためのCPUを別に設けるようにしてもよい。

【0 1 7 4】

本実施形態のデータ転送制御装置を電子機器に用いれば、USB 2. 0 におけるHSモードでのデータ転送が可能になる。従って、ユーザがパーソナルコンピュータなどによりプリントアウトの指示を行った場合に、少ないタイムラグで印字が完了するようになる。また、スキャナへの画像取り込みの指示の後に、少ないタイムラグで読み取り画像をユーザは見ることができるようになる。また、CD-RWからのデータの読み取りや、CD-RWへのデータの書き込みを高速に行うことができるようになる。

【0 1 7 5】

また、本実施形態のデータ転送制御装置を電子機器に用いれば、製造コストが安い通常の半導体プロセスでデータ転送制御装置のICを製造できるようになる。従って、データ転送制御装置の低コスト化を図れ、電子機器の低コスト化も図れるようになる。また、データ転送制御の中で高速で動作する部分を少なくすることができるため、データ転送の信頼性を向上でき、電子機器の信頼性も向上できるようになる。

【0 1 7 6】

なお本実施形態のデータ転送制御装置を適用できる電子機器としては、上記以外にも例えば、種々の光ディスクドライブ(CD-ROM、DVD)、光磁気ディスクドライブ(MO)、ハードディスクドライブ、TV、VTR、ビデオカメラ、オーディオ機器、電話機、プロジェクタ、パーソナルコンピュータ、電子手

帳、ワードプロセッサなど種々のものを考えることができる。

【0177】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。

【0178】

例えば、本発明のデータ転送制御装置の構成は、図1に示す構成に限定されるものではない。

【0179】

また、エッジ検出手段（エッジ検出回路）、クロック選択手段（クロック選択回路）の構成も図7に示す構成に限定されるものではない。例えば、エッジ検出手段は、少なくとも、データのエッジを検出し、そのエッジ検出情報をクロック選択手段に出力できるような構成であればよい。

【0180】

また、反転回路、バッファ回路、帰還ライン、ダミーライン、クロックラインの配置手法も、図16～図20で説明した手法に限定されるものではなく、これらと均等な種々の変形実施が可能である。

【0181】

また、多相クロックの数Nも5個に限定されるものではない。例えば、サンプリングクロック生成回路の製造に使用する半導体プロセスが最新のプロセスである場合には、セットアップタイムTS、ホールドタイムTHも短くできる。従って、この場合には、クロック数Nを5よりも大きくすることができる。

【0182】

また、本発明は、USB2.0でのデータ転送に適用されることが特に望ましいが、これに限定されるものではない。例えばUSB2.0と同様の思想に基づく規格やUSB2.0を発展させた規格におけるデータ転送にも本発明は適用できる。

【図面の簡単な説明】

【図1】

本実施形態のデータ転送制御装置の構成例を示す図である。

【図 2】

本実施形態のサンプリングクロック生成回路の構成例を示す図である。

【図 3】

図 3 (A)、(B) は、本実施形態の動作について説明するためのタイミング波形図である。

【図 4】

H S P L L の構成例を示す図である。

【図 5】

V C O の構成例を示す図である。

【図 6】

図 6 (A)、(B) は、差動出力コンパレータ（反転回路）の構成例を示す図である。

【図 7】

反転回路の構成例を示す図である。

【図 8】

シングルエンド出力コンパレータ（バッファ回路）の構成例を示す図である。

【図 9】

エッジ検出回路、クロック選択回路の構成例を示す図である。

【図 1 0】

本実施形態の動作について説明するためのタイミング波形図である。

【図 1 1】

本実施形態の動作について説明するためのタイミング波形図である。

【図 1 2】

クロック数 N の設定手法について説明するための図である。

【図 1 3】

図 1 3 (A)、(B) も、クロック数 N の設定手法について説明するための図である。

【図 1 4】

図 1 4 (A)、(B) は、クロックの選択手法 (M の設定手法) について説明

するための図である。

【図 1 5】

エラスティシティバッファの構成例を示す図である。

【図 1 6】

反転回路 D C P 0 ～ 4、バッファ回路 S C P 0 ～ 4 の配置手法について説明するための図である。

【図 1 7】

反転回路とバッファ回路の間の領域に帰還ライン及びダミーラインを配置する手法について説明するための図である。

【図 1 8】

クロックラインの配線手法について説明するための図である。

【図 1 9】

多相クロック生成回路 (H S P L L) 側でのクロックラインの配線手法について説明するための図である。

【図 2 0】

サンプリングクロック生成回路 (H S D L L 回路) 側でのクロックラインの配線手法について説明するための図である。

【図 2 1】

図 2 1 (A)、(B)、(C) は、種々の電子機器の内部ブロック図の例である。

【図 2 2】

図 2 2 (A)、(B)、(C) は、種々の電子機器の外観図の例である。

【符号の説明】

D C P 0 ～ 4 差動出力コンパレータ (反転回路)

S C P 0 ～ 4 シングルエンド出力コンパレータ (バッファ回路)

F L、F L A、F L B 帰還ライン

D L、D L A 0 ～ 3、D L B 0 ～ 3 ダミーライン

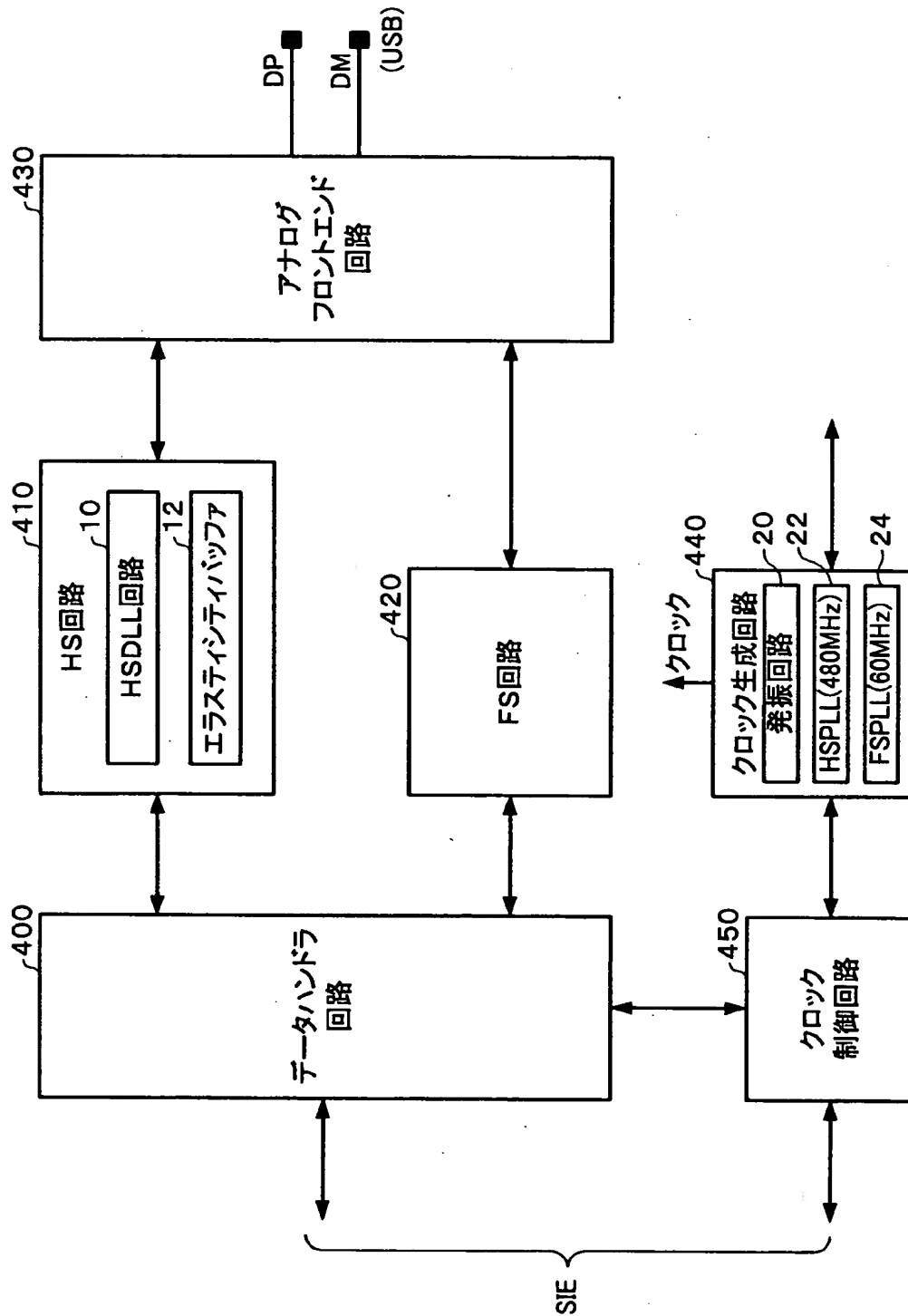
T P T 0 ～ 4 折り返し地点

1 0 H S D L L 回路

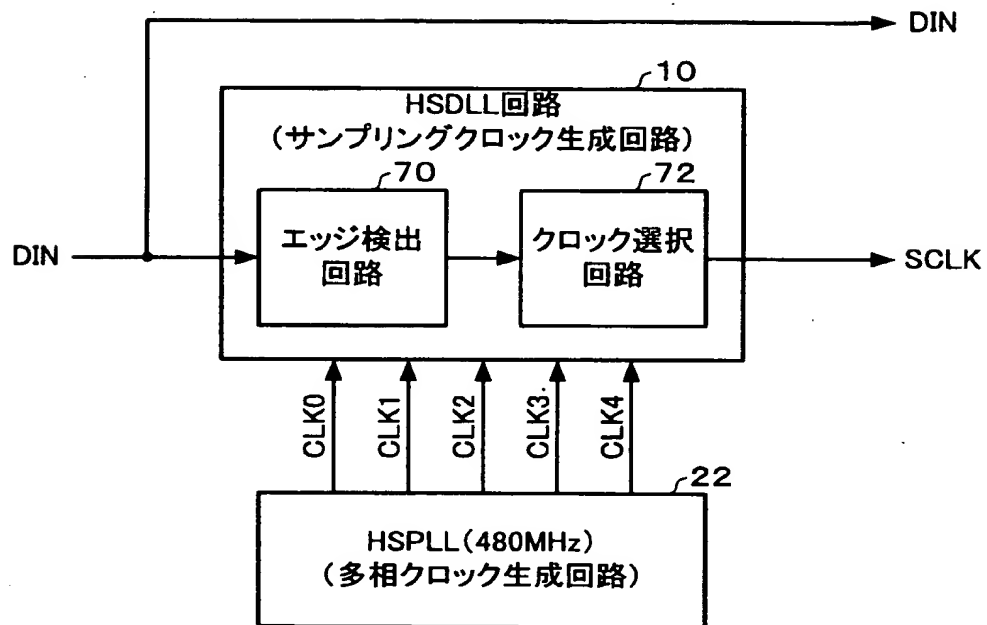
- 1 2 エラスティシティバッファ
- 2 0 発振回路
- 2 2 H S P L L
- 2 4 F S P L L
- 5 0 データ保持レジスタ (データ保持手段)
- 5 2 データステータスレジスタ (データステータス保持手段)
- 5 4 書き込みパルス生成回路 (書き込みパルス生成手段)
- 6 0 判断回路 (判断手段)
- 6 2 ステートマシーン
- 6 4 バッファ
- 6 6 セレクタ (出力手段)
- 7 0 エッジ検出回路 (エッジ検出手段)
- 7 2 クロック選択回路 (クロック選択手段)
- 8 0 位相比較器
- 8 2 チャージポンプ回路
- 8 4 フィルタ回路
- 8 6 V C O (発振手段)
- 8 8 分周器
- 4 0 0 データハンドラ回路
- 4 1 0 H S 回路
- 4 2 0 F S 回路
- 4 3 0 アナログフロントエンド回路
- 4 4 0 クロック生成回路
- 4 5 0 クロック制御回路

【書類名】 図面

【図 1】

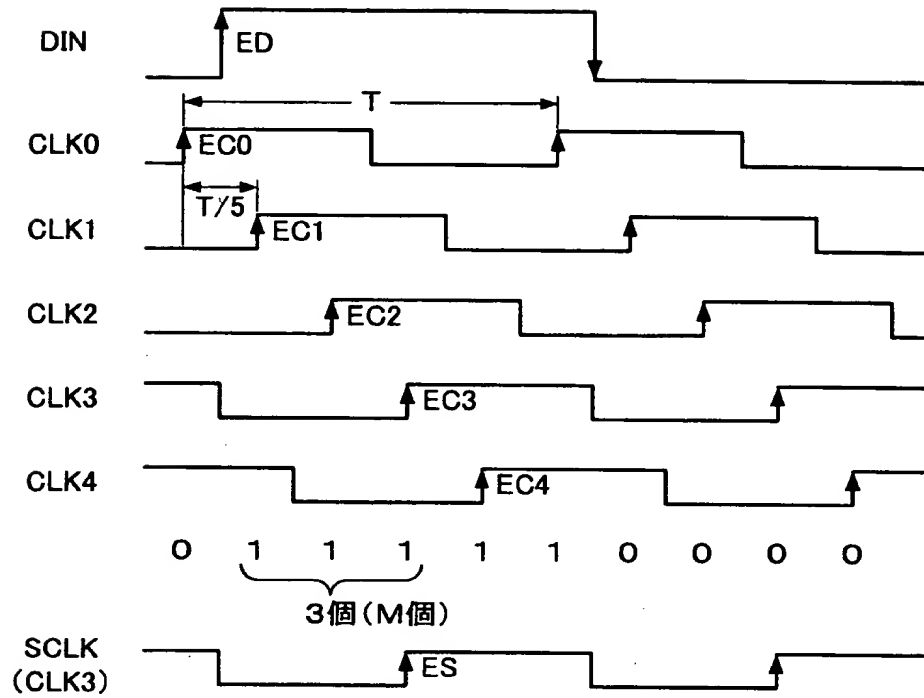


【図 2】

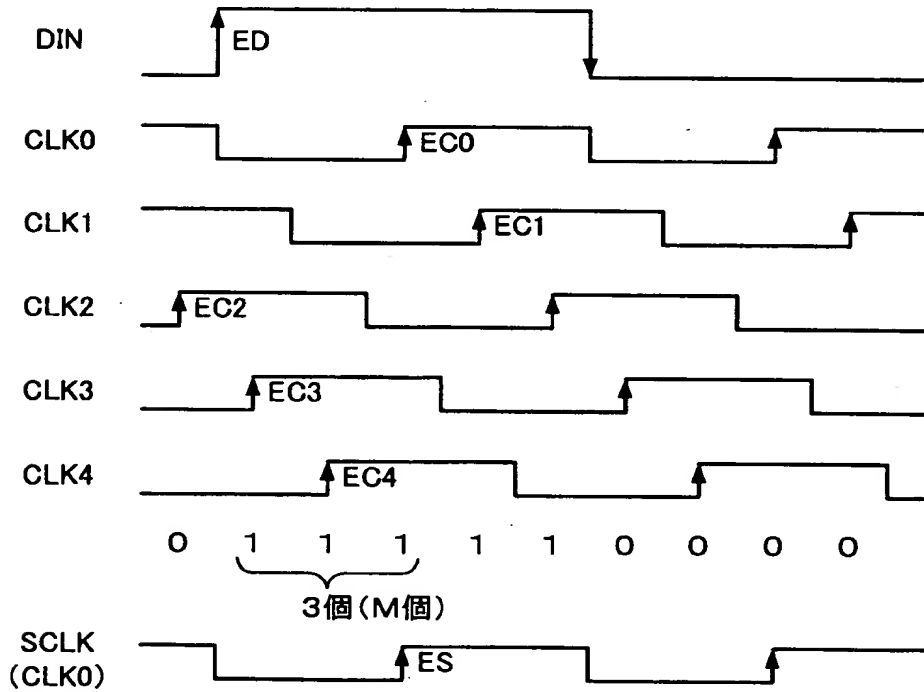


【図 3】

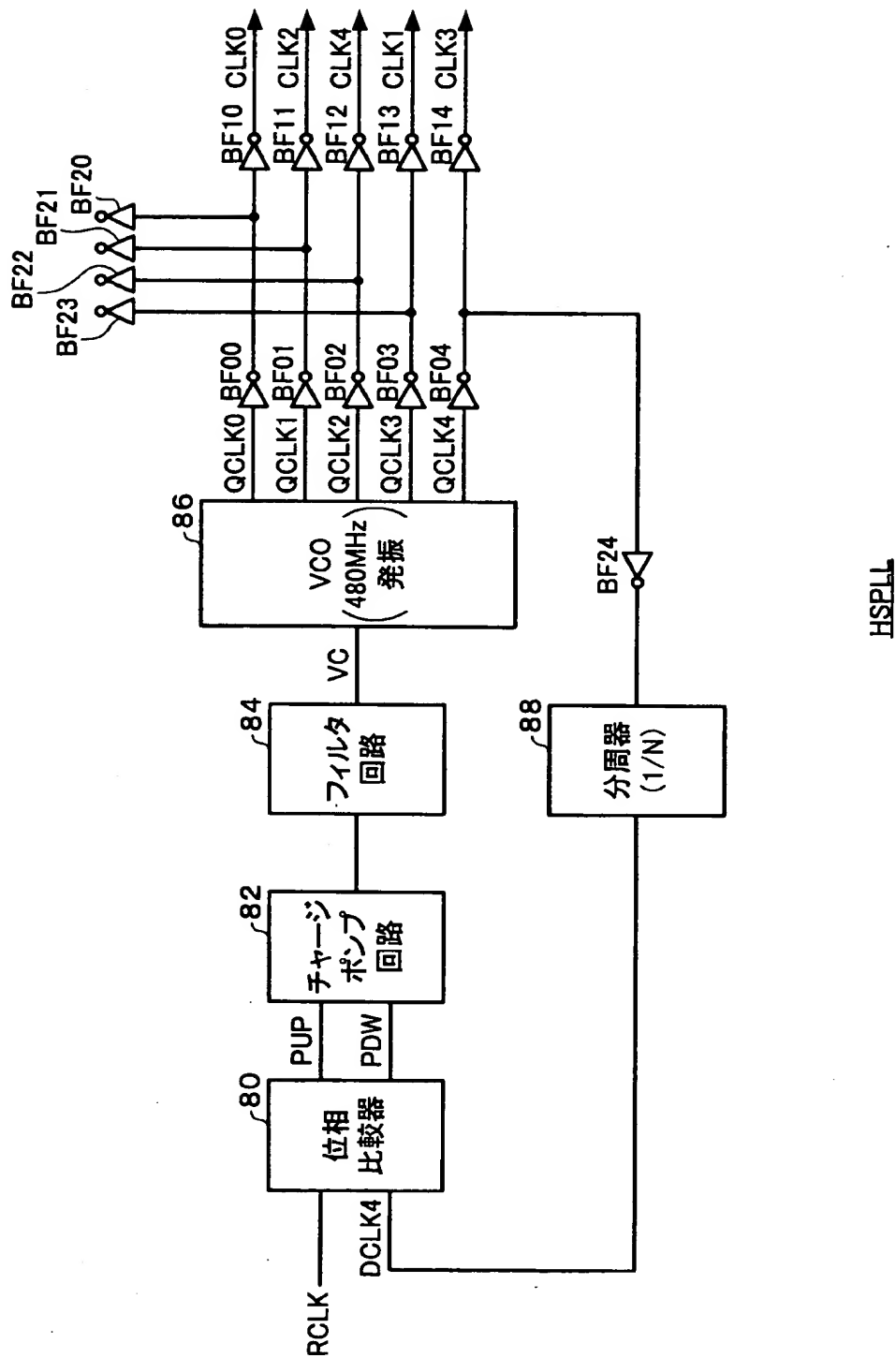
(A)



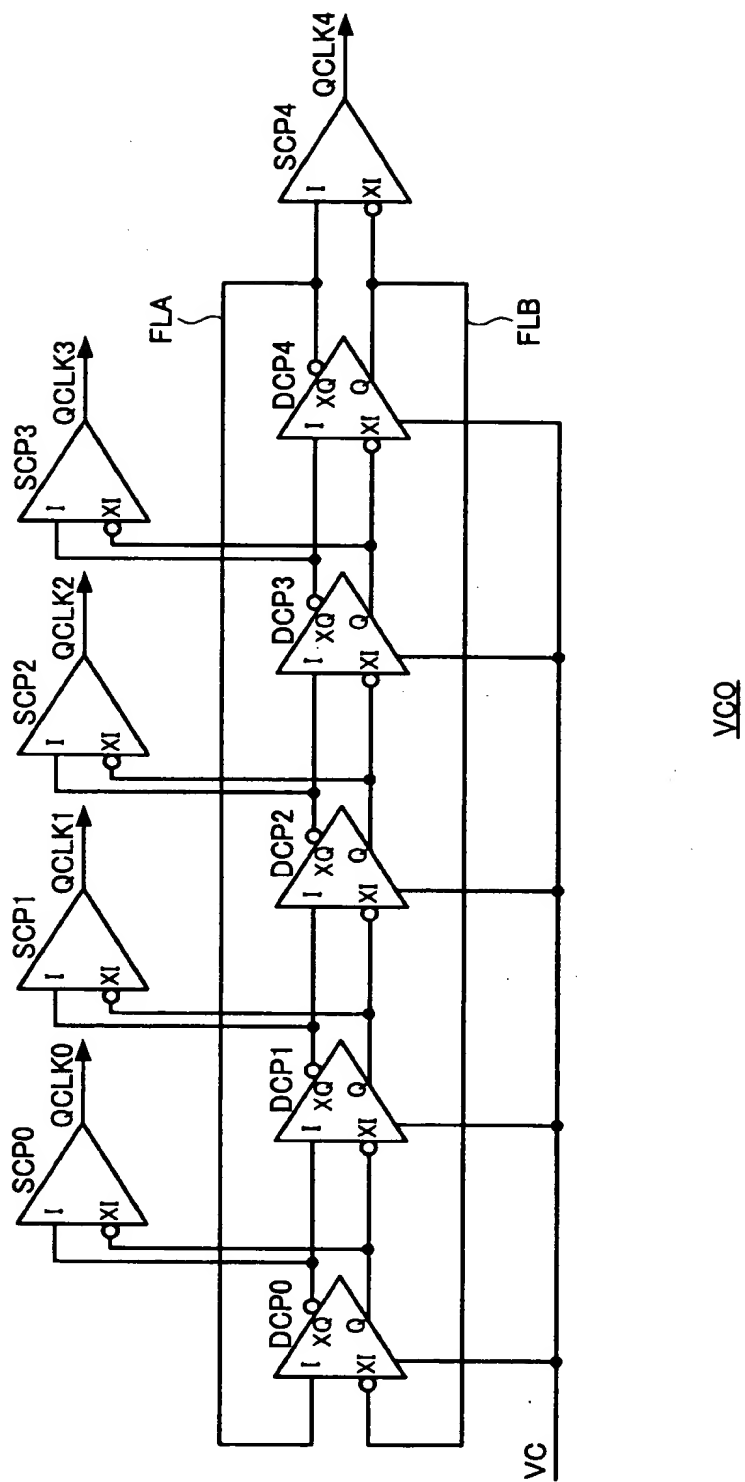
(B)



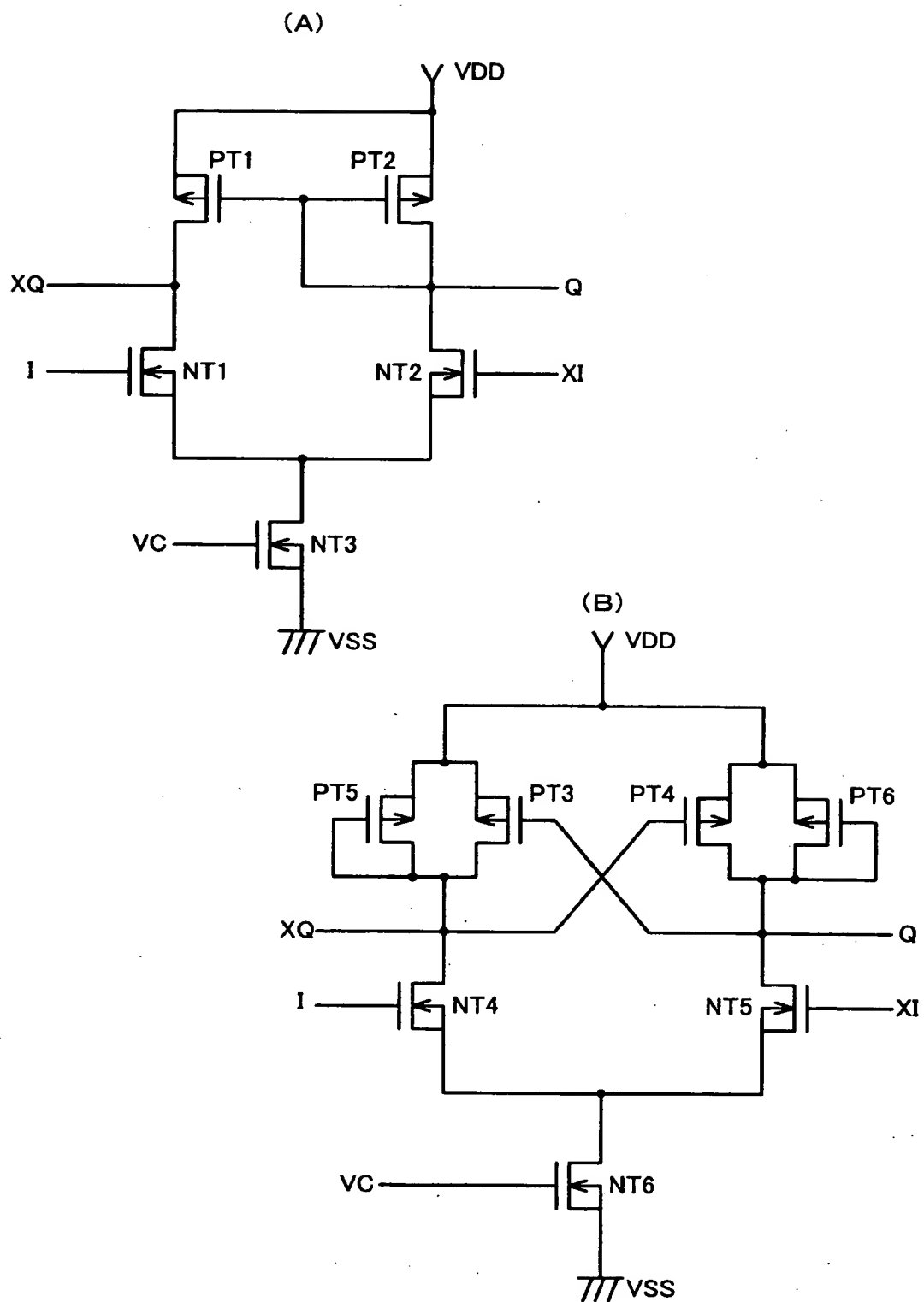
【図 4】



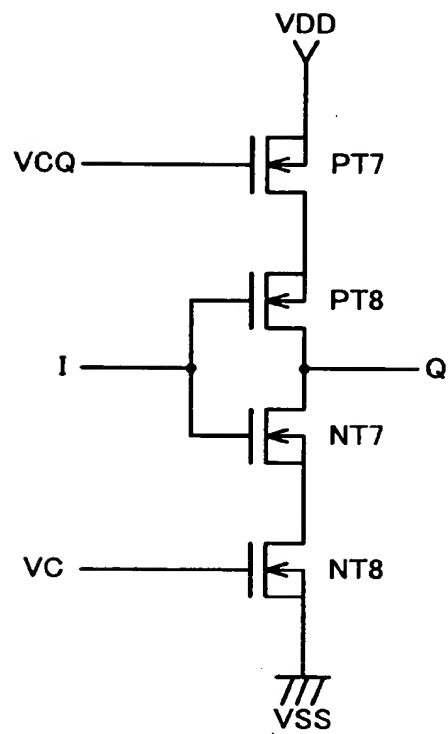
【図 5】



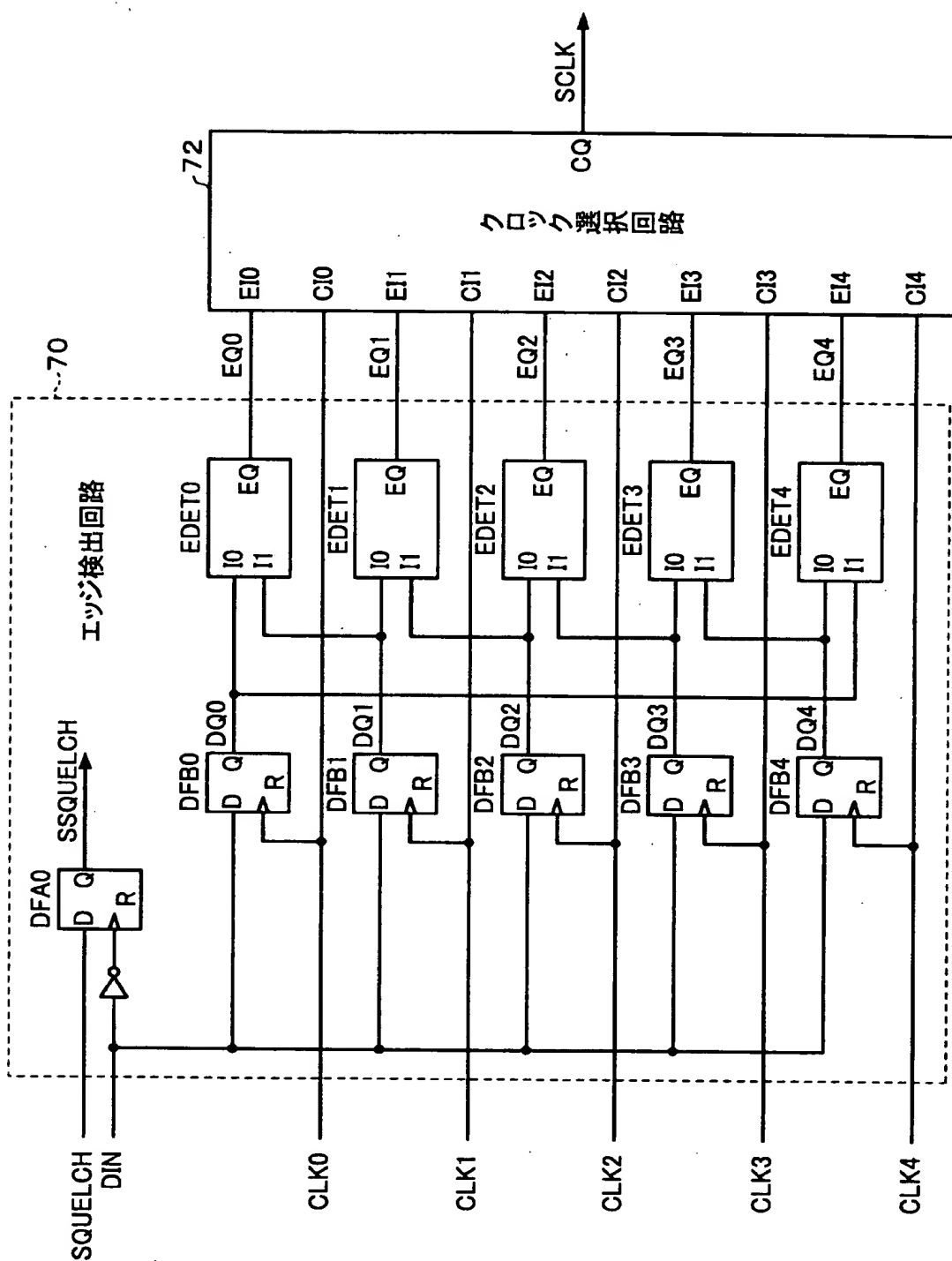
【図 6】



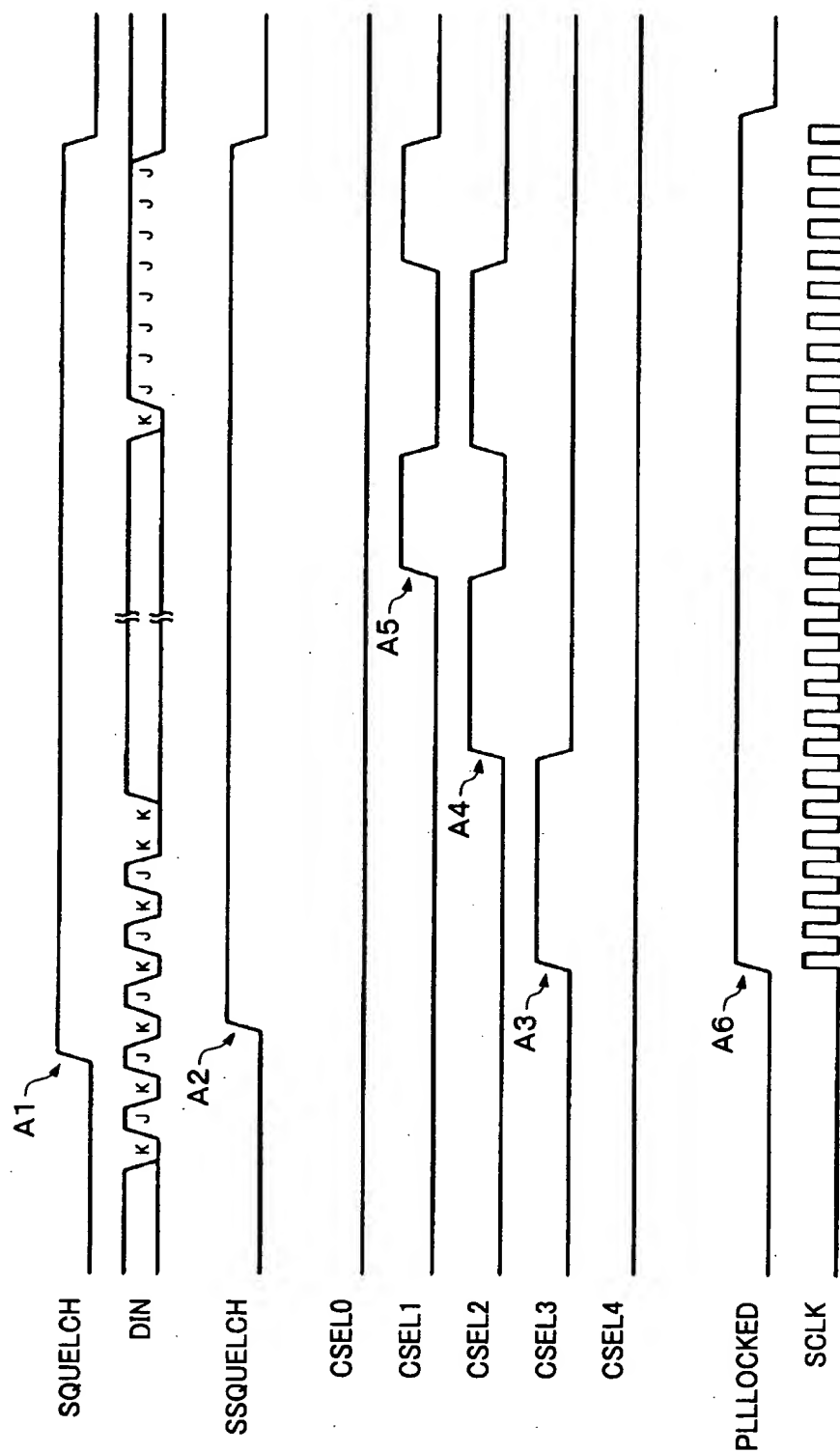
【図 7】



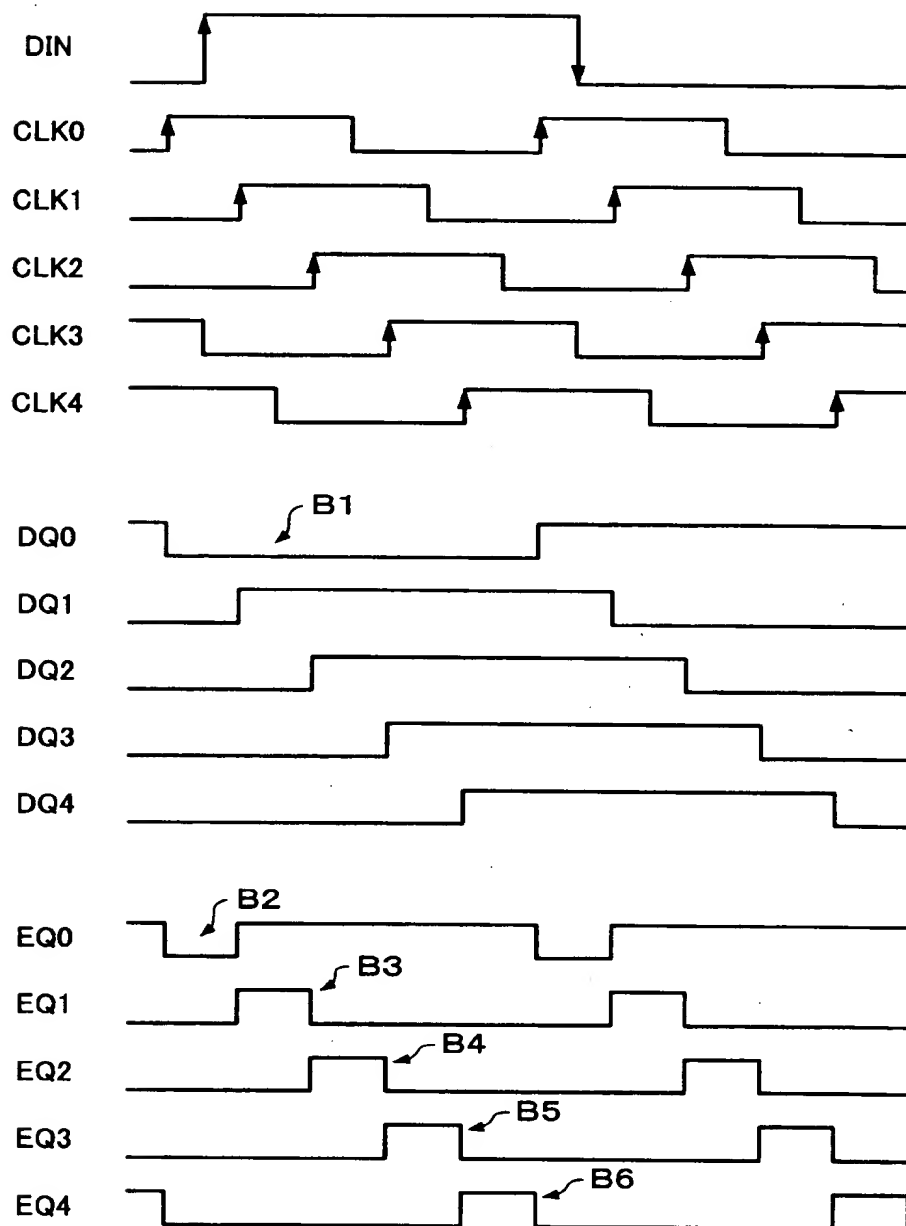
【図 9】



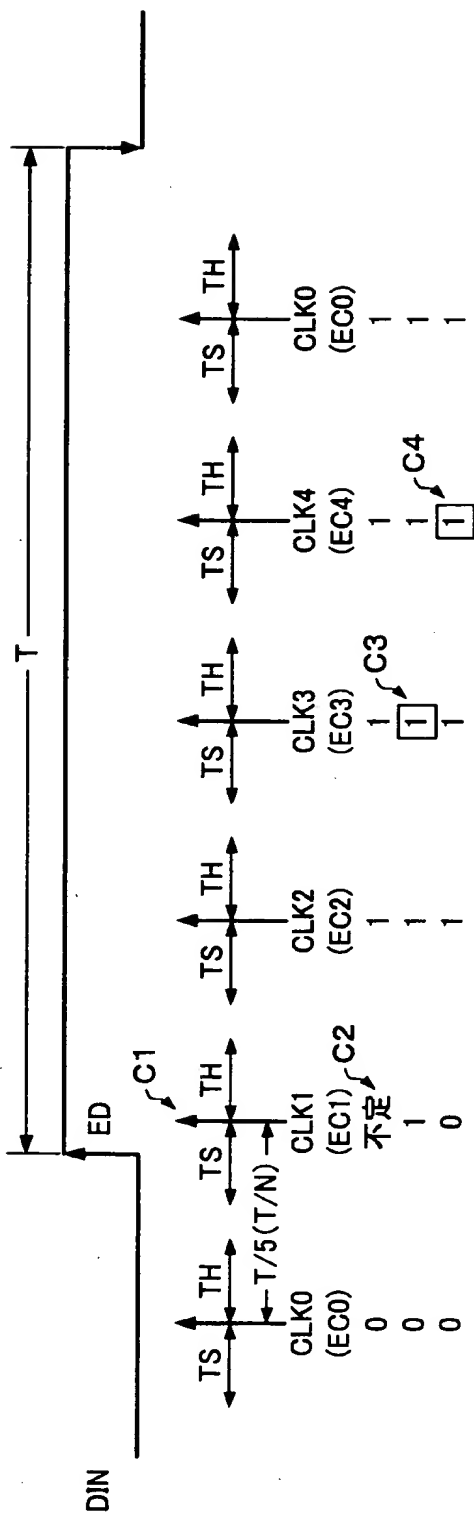
【図 10】



【図 11】

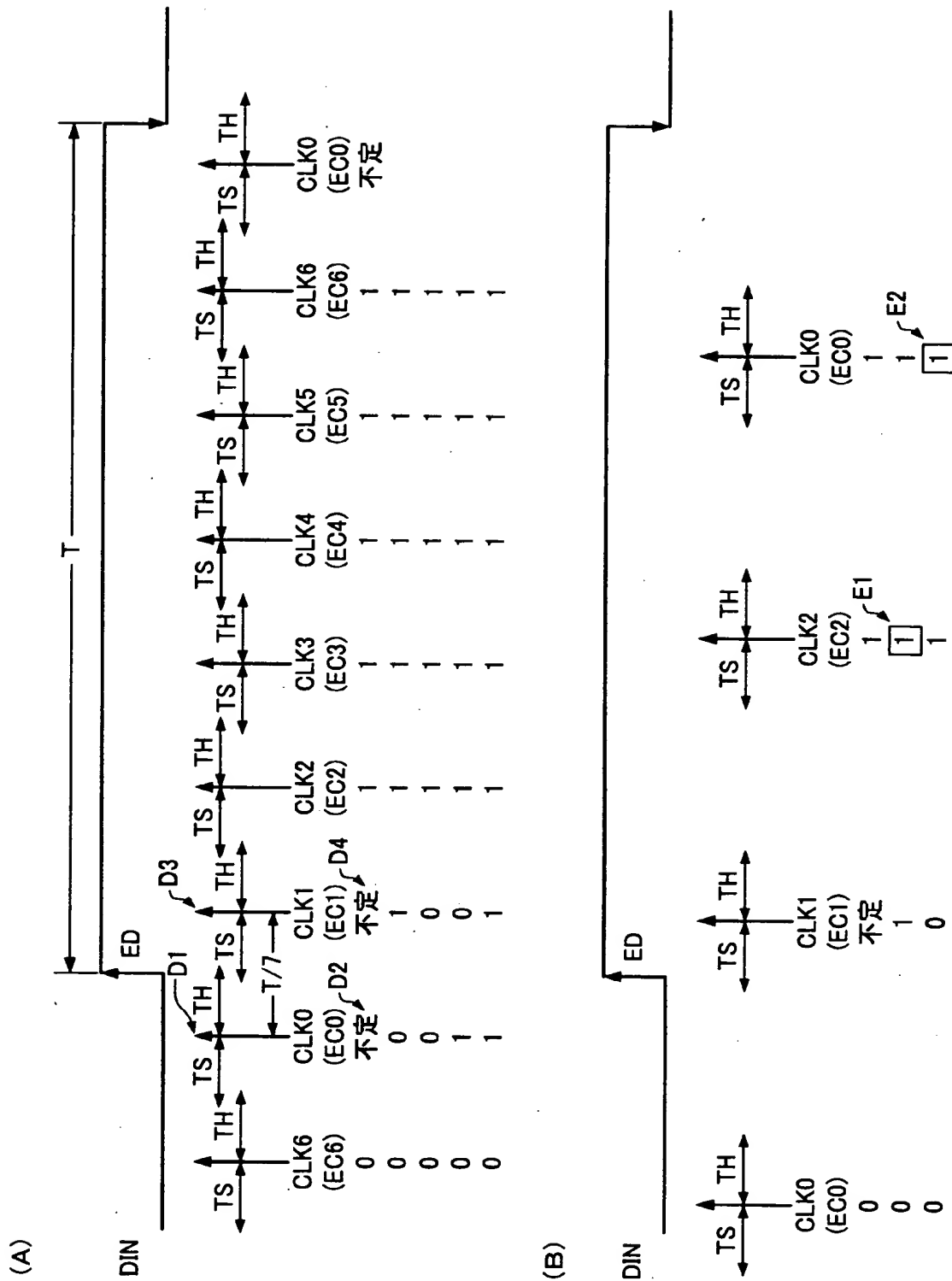


【図 12】

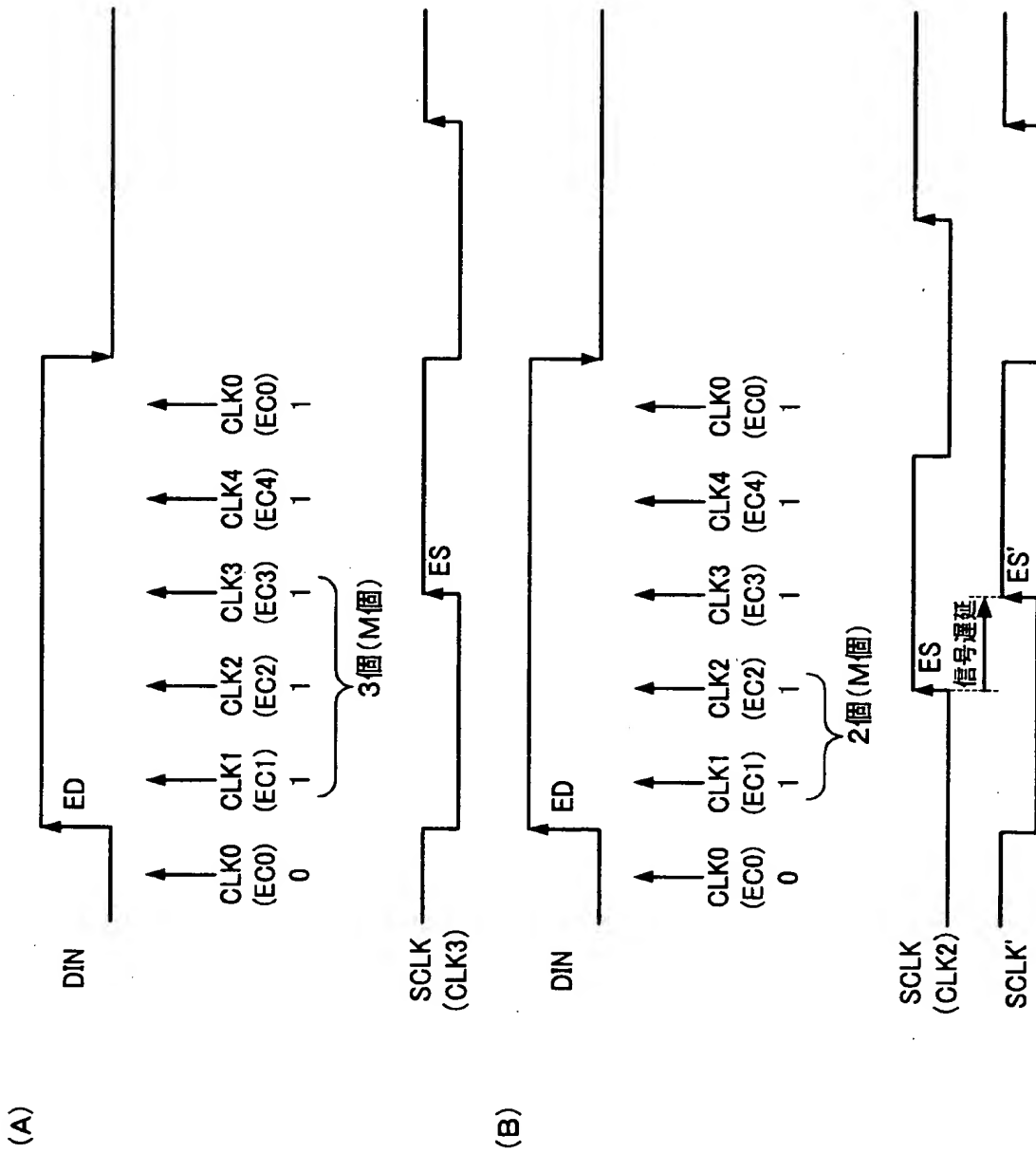


$$\frac{T}{N} > TS + TH \Rightarrow N < \frac{T}{TS + TH} (N \leq \lfloor \frac{T}{TS + TH} \rfloor)$$

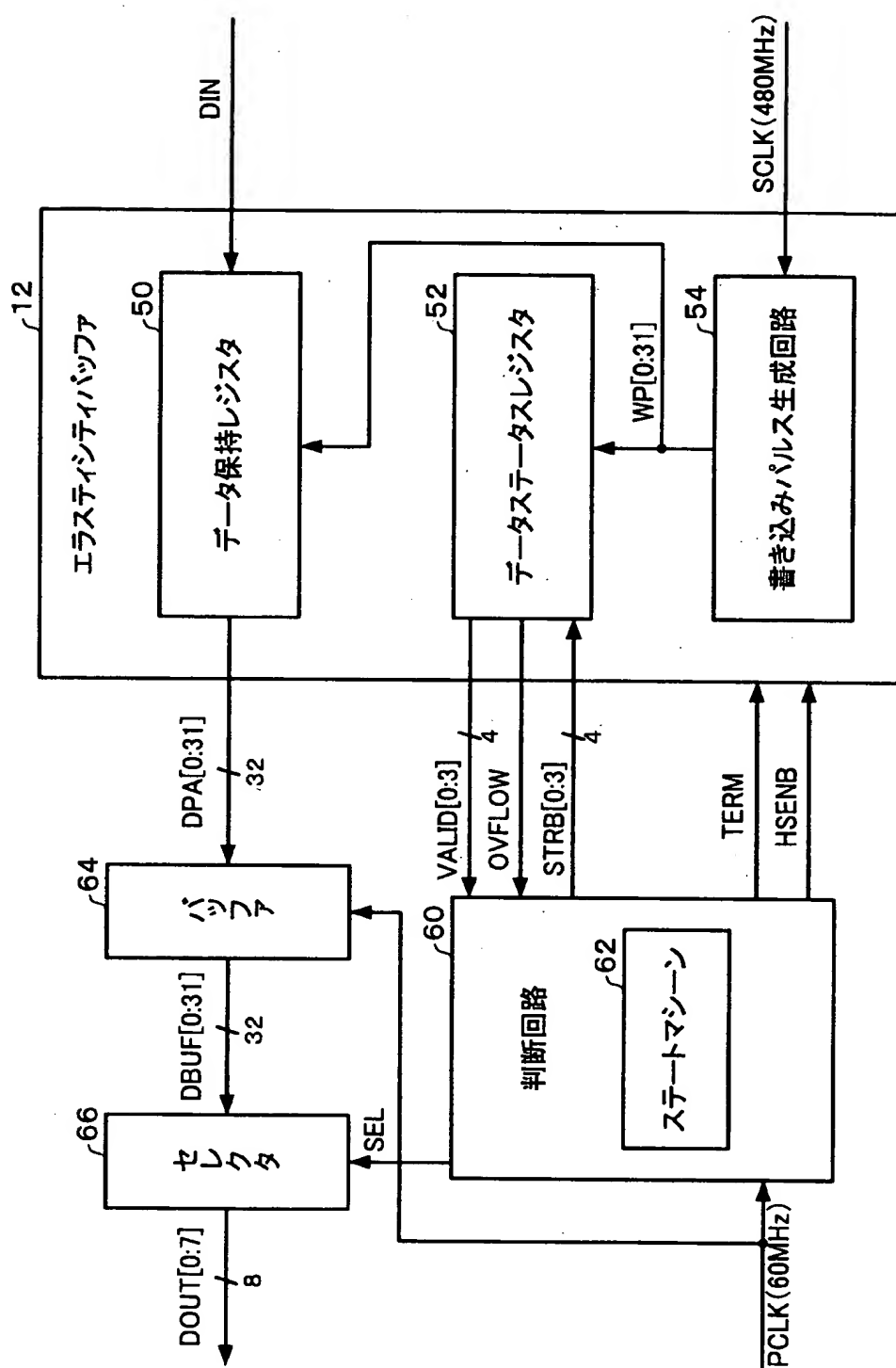
【図 13】



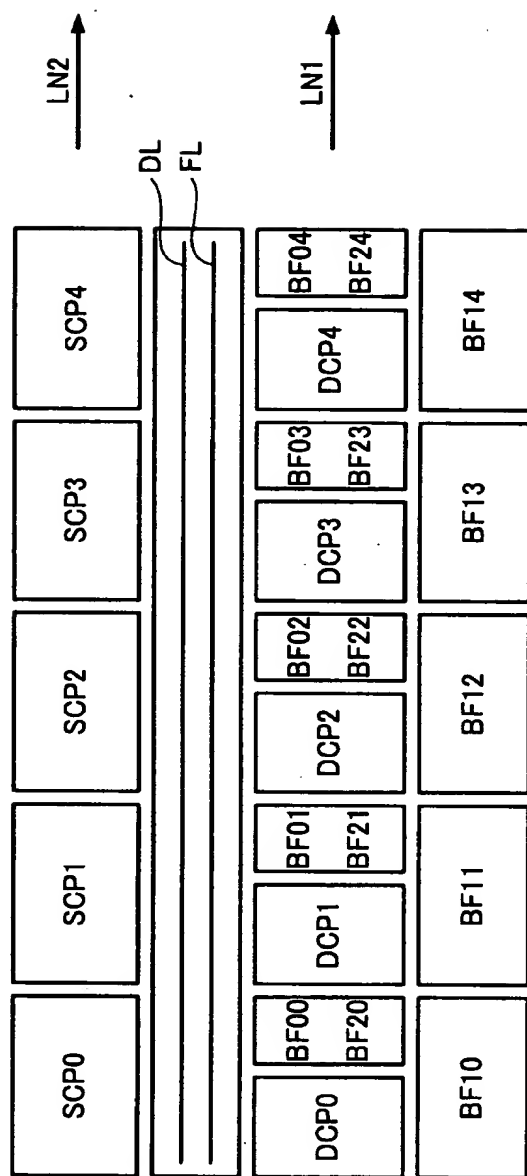
【図 14】



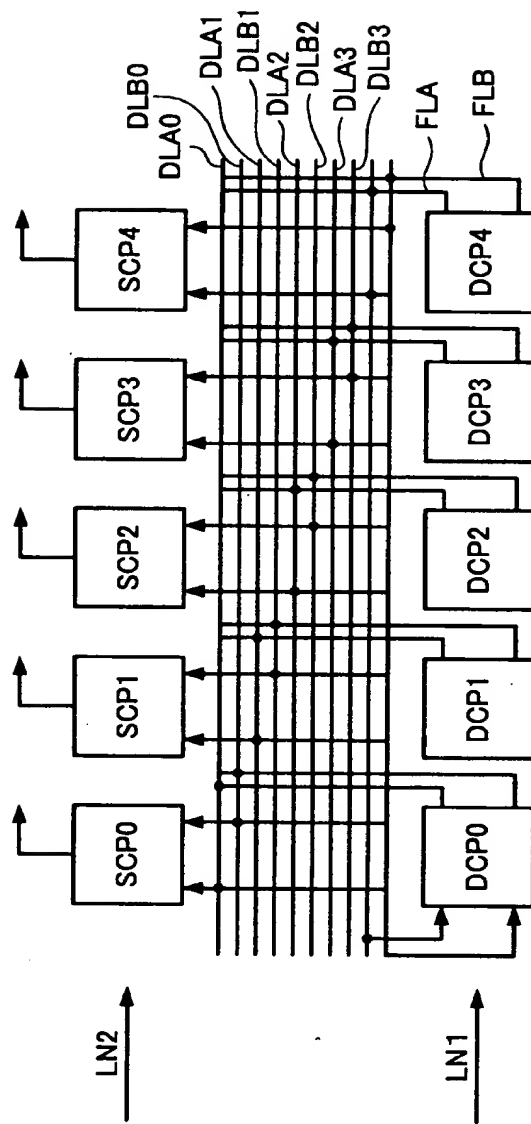
【図 15】



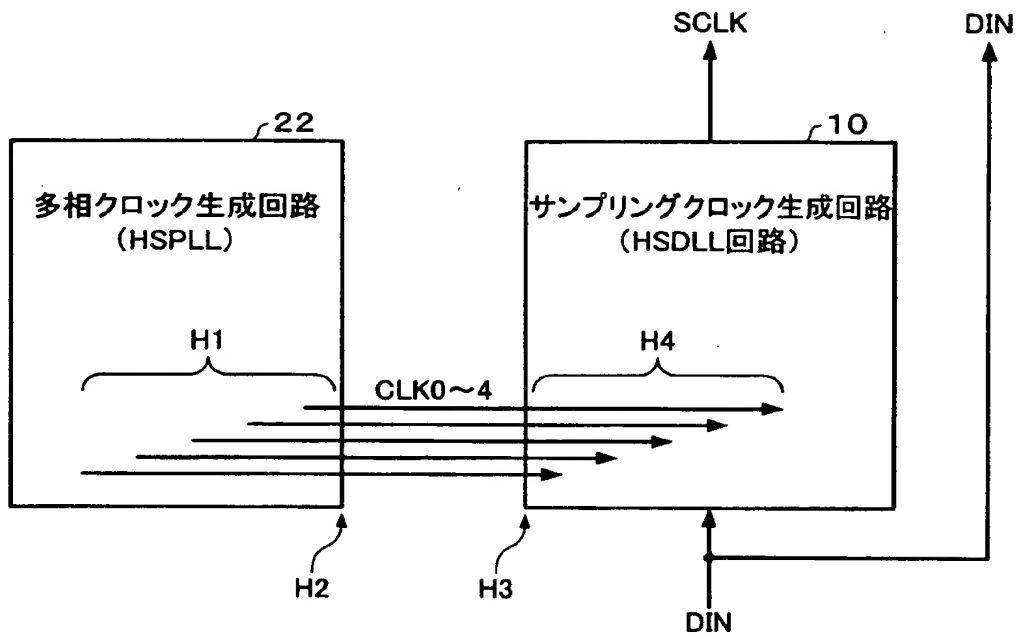
【図 16】



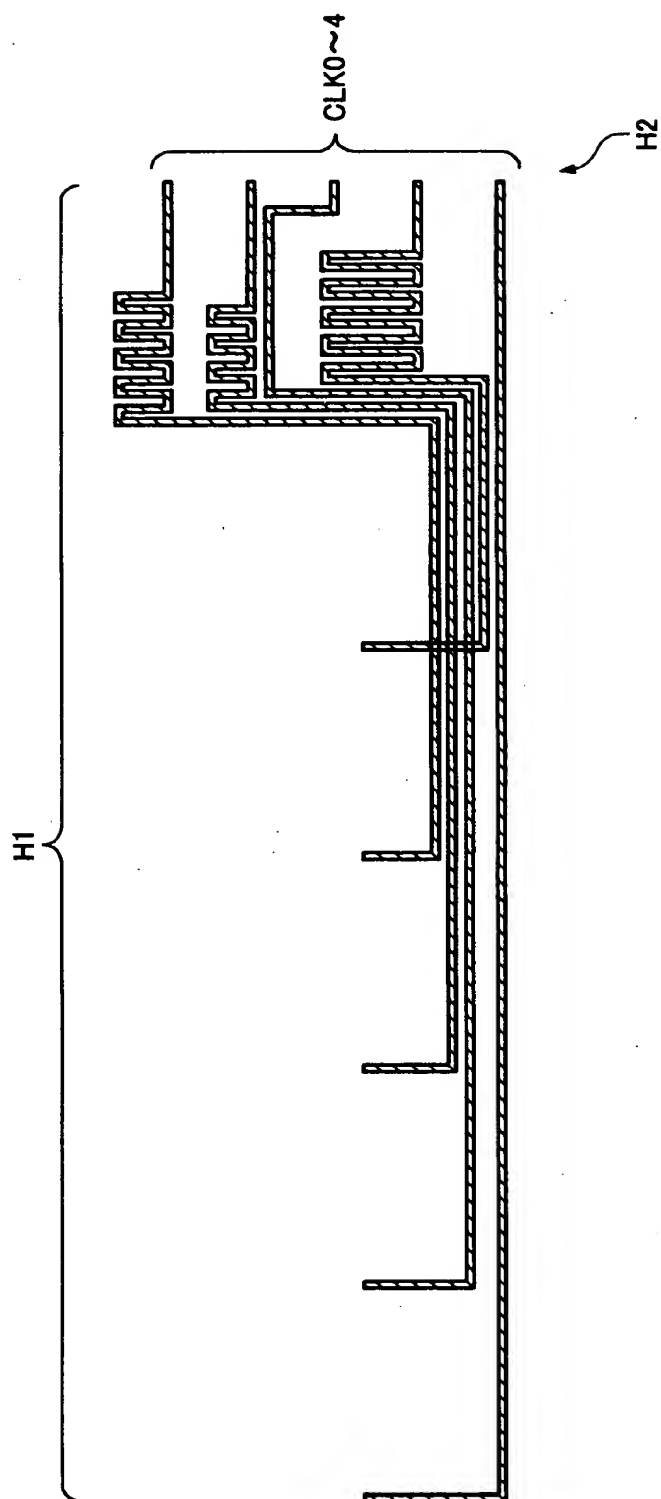
【図 17】



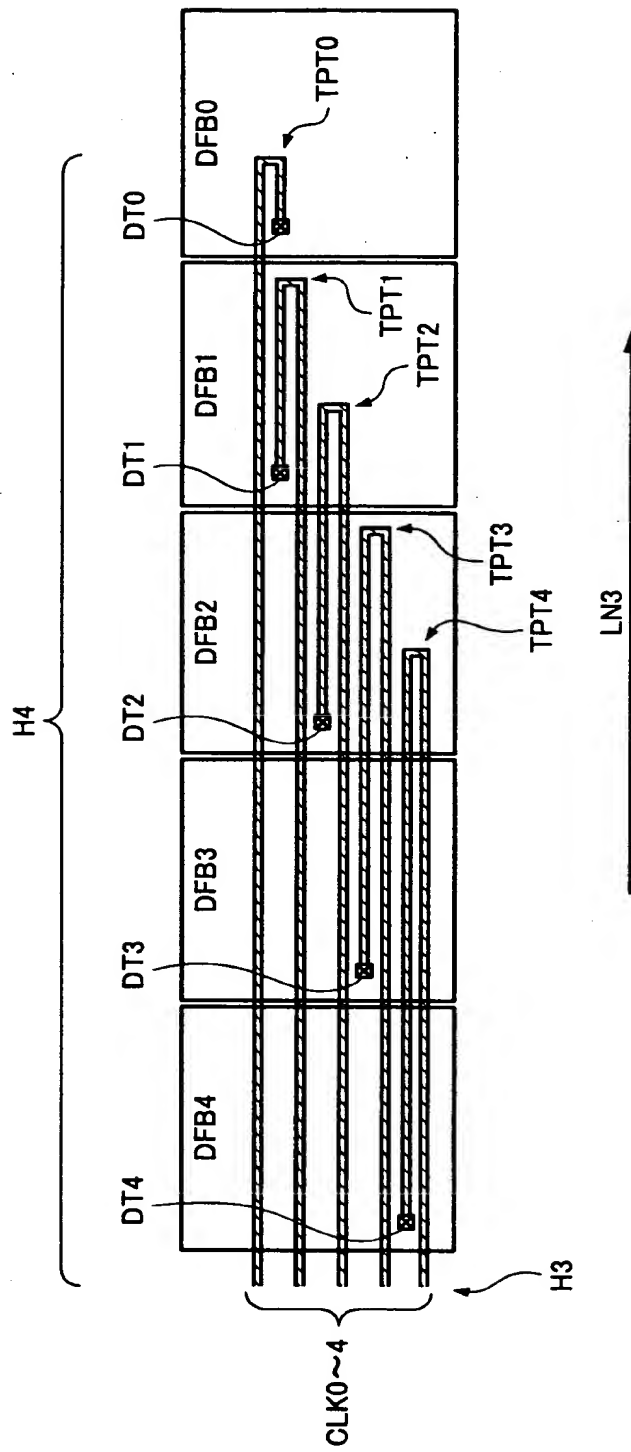
【図 18】



【図 19】

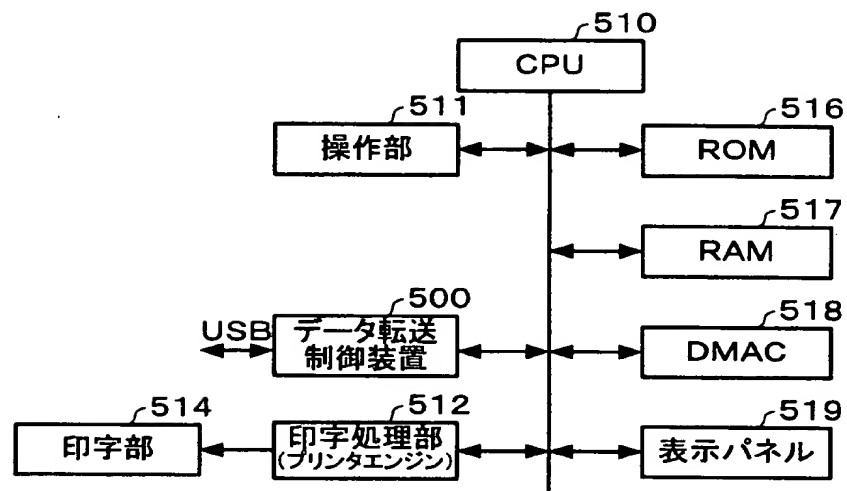


【図 20】

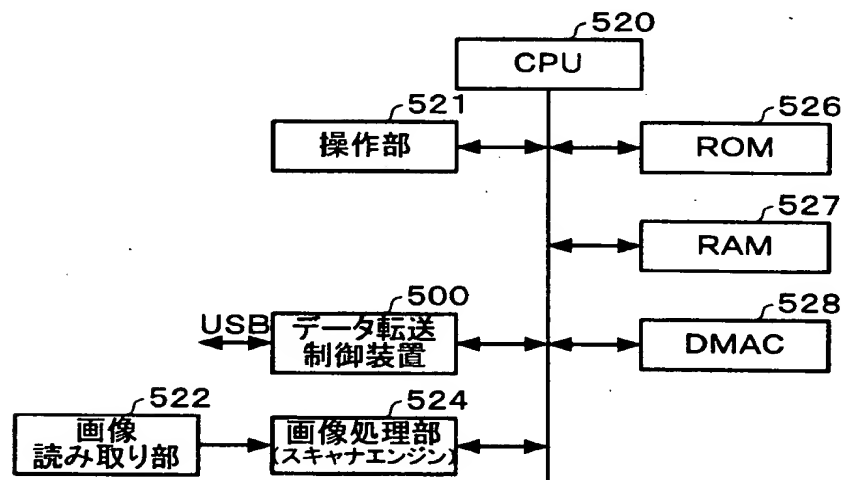


【図 21】

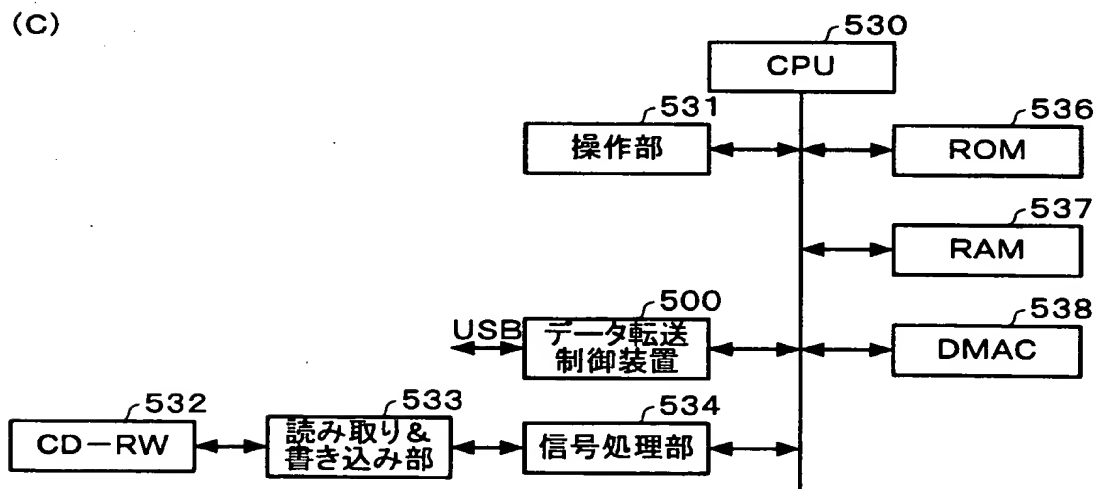
(A)



(B)

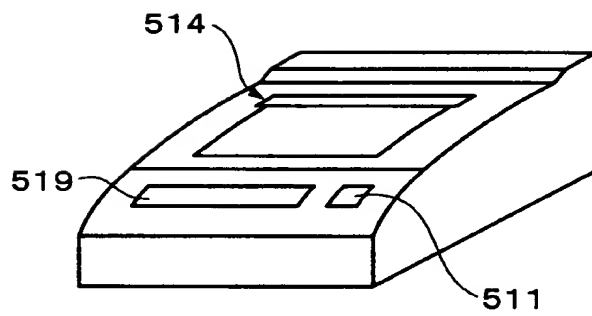


(C)

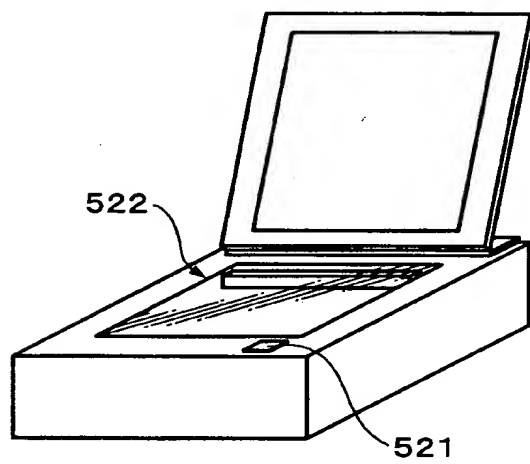


【図 22】

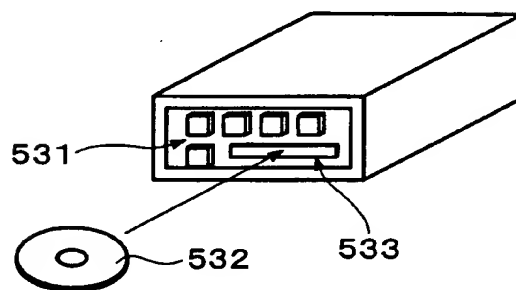
(A)



(B)



(C)



【書類名】 要約書

【要約】

【課題】 高周波数でありながらサンプリング時でのセットアップタイム等を確保できるサンプリングクロックの生成回路、データ転送制御装置等の提供。

【解決手段】 サンプリングクロック生成回路 1 0 は、周波数が同一で位相が互いに異なるクロック CLK 0 ～ 4 のエッジの中のいずれのエッジ間にデータ DIN (USB 2. 0 の HS モードで転送されるデータ) のエッジがあるかを検出するエッジ検出回路 7 0 と、エッジ検出情報に基づいて CLK 0 ～ 4 の中からいずれかのクロックを選択し、選択したクロックをサンプリングクロック SCLK として出力するクロック選択回路 7 2 を含む。エッジ検出回路 7 0 が有する D フリップフロップのセットアップタイムを TS、ホールドタイムを TH、クロックの周期を T とした場合に多相クロックの数 N を $N \leq [T / (TS + TH)]$ ($[X]$ は X を越えない最大の整数) にする。データ DIN のエッジから設定数 M だけずれたエッジを有するクロックを SCLK として選択する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願2001-098350
受付番号	50100468081
書類名	特許願
担当官	第七担当上席 0096
作成日	平成13年 4月 4日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369

【住所又は居所】 東京都新宿区西新宿2丁目4番1号

【氏名又は名称】 セイコーエプソン株式会社

【代理人】 申請人

【識別番号】 100090479

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM
ビル2階 井上・布施合同特許事務所

【氏名又は名称】 井上 一

【選任した代理人】

【識別番号】 100090387

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM
ビル2階 井上・布施合同特許事務所

【氏名又は名称】 布施 行夫

【選任した代理人】

【識別番号】 100090398

【住所又は居所】 東京都杉並区荻窪5丁目26番13号 荻窪TM
ビル2階 井上・布施合同特許事務所

【氏名又は名称】 大渕 美千栄

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社